

Vorlesung Elektronik SS05

Christian Zeitnitz

Tel: 23668

Raum 04-315

E-mail: Christian.Zeitnitz@Uni-Mainz.de

Termin und Ort:

Mo. 8-10Uhr und Di. 12-13Uhr

Newton Raum

➤ **Vorlesung : Grundlagen der Elektronik**

- **Teil 1 – analoge Elektronik**

- 1. Einführung**

- Strom und Spannung
 - Passive Bauelemente (Widerstand, Kondensator, Spule)
 - Netzwerke und ihre Analyse
 - Komplexe Widerstände

- 2. Halbleiterbauelemente**

- Physikalische Grundlagen (Bändermodell von Festkörpern)
 - Dotierung von Halbleitern
 - Der pn-Übergang
 - Dioden
 - Bipolare-Transistoren
 - Feldeffekt-Transistoren

- 3. Verstärker**

- Strom- und Spannungsverstärkung
 - Differenzverstärker
 - Leistungsverstärker (z.B. HiFi-Verstärker)

- 4. Operationsverstärker**

- Messverstärker (Messen von Ladung, Spannung und Strom)
 - Differenzier- und Integrierschaltung

- 5. Regeltechnik**

- 6. Stromversorgung**

- 7. Signalübertragung**

- Leitungseigenschaften

- Teil 2 – digitale Elektronik
 1. Logische Grundschaltungen
 - Gatter: AND, OR, XOR
 - Flip-Flop
 - Register
 2. Integrierte Schaltungen mit Beispielen
 - TTL/CMOS Standardbausteine
 3. Speicher (SRAM, ROM, EPROM, DRAM)
 - Aufbau und Funktion von Speicherzellen
 - Anwendung von Speichern
 4. Programmierbare Logik
 - Gate-Array-Logic (GAL)
 - Field-Programmable-Gate-Arrays (FPGA)
 5. Analog-Digital Wandlung (ADC)
 - Verschiedene Verfahren
 - Anwendungen
 6. Digital-Analog Wandlung (DAC)
 - Verfahren
 - Anwendungen

- **Schein**
 - 50% der Übungspunkte für die Zulassung zur Klausur
 - 1 Klausur am Ende des Semesters
 - Gewichtung: Übung 1/3 Klausur 2/3
 - Scheinkriterium: vermutlich ca. 50%

- **Alle Folien werden als PDF auf**
http://www.staff.uni-mainz.de/zeitnitz/Elektronik_index.html
abgelegt

- **Literaturangaben**
 1. **Elektronik**
H.Hinsch, Springer Verlag
 2. **Elektronik für Physiker**
K.-H. Rohe, Teubner Verlag
 3. **Halbleiterschaltungstechnik**
U. Tietze und Ch. Schenk, Springer Verlag
 4. **The Art of Electronics**
P. Horowitz und W. Hill, Cambridge University Press
 5. **Electronic Principles**
A. Malvino, McGraw Hill
 6. **Microelectronic Circuits**
A.S. Sedra und K.C. Smith, Oxford University Press

- **Übungen**
 - Übungszettel für ca. 2/3 der Zeit
 - 1/3 der Zeit (4 Termine) Praktikum
 - Ausgabe der Übungen Dienstag
 - Abgabe bis Montag 12Uhr

- **Vorschlag für Übungstermine**
 - Montag 16-17Uhr Sem. D
 - Dienstag 16-17Uhr Sem A
 - Donnerstag 16-17Uhr Sem. D

- **Praktikum Praktikum**
 - 4 Termine zu je 2 Stunden
 1. Passive Filter
 2. Diode und Transistor
 3. Operationsverstärker / Leistungsverstärker
 4. Regelkreise

 - Montag 16-18Uhr oder
 - Donnerstag 16-18Uhr

1) Einführung und Grundlagen

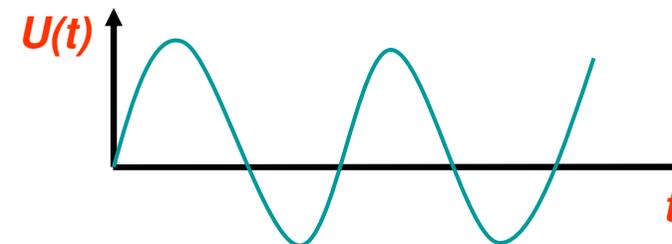
1.1) Strom und Spannung

- Die Elektronik beschäftigt sich mit der Verarbeitung elektrischer Ströme I und Spannungen U .
- Diese Signale sind im Allgemeinen nicht konstant, sondern ändern sich mit der Zeit t
- Beispiele:

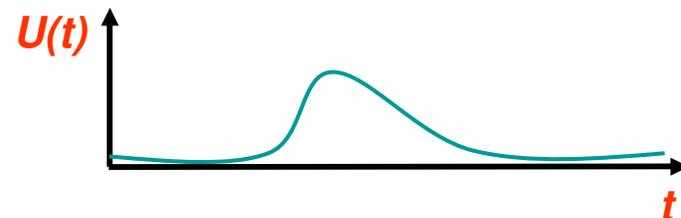
Gleichspannung



Wechselspannung (periodisch)

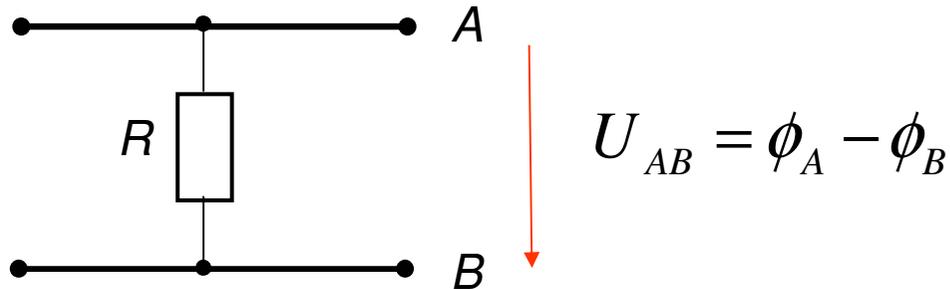


Puls oder Pulsfolge



➤ Definition von Spannung

- Potentialdifferenz U_{AB} gemessen zwischen zwei Punkten A und B einer Schaltung

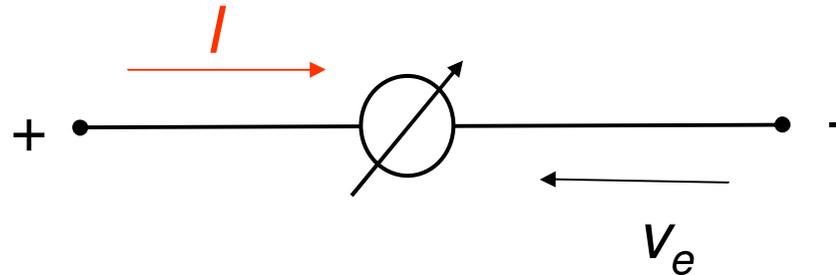


$$U_{AB} = \phi_A - \phi_B$$

- $U_{AB} > 0$ falls am Punkt A das Potential positiver ist als am Punkt B
- Falls eine Elementarladung vom Punkt A zum Punkt B gebracht wird, muss die Arbeit $W = e U$ geleistet werden
- Einheit der Spannung: Volt [1V]
- Bereich der in der Elektronik abgedeckt wird:
1 μ V bis 1 kV
- Erzeugung von Spannungen:
 - a. Batterie (elektro-chemisch)
 - b. Generator (elektro-magnetisch)
 - c. Solarzelle (Licht)

➤ Definition von Strom

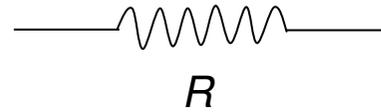
- Bewegung von Ladungen (meist Elektronen) aufgrund einer Potentialdifferenz



- Die Richtung des Stroms geht vom höherem zum niedrigerem Potential (technische Stromrichtung) und ist daher der Bewegung der Elektronen in einem Leiter entgegengesetzt
- Einheit: Ampère [1A] = 1 C/sec
- Typischer Bereich in der Elektronik
1 nA bis 100 A
- Erzeugung von Strömen: Anlegen einer Spannung z.B. an einen Widerstand
- Verbrauchte Leistung in einem Stromkreis: $P = \frac{\Delta W}{\Delta t} = \frac{\Delta Q \cdot U}{\Delta t} = I \cdot U$
Wird in Form von
 - a. Wärme
 - b. mech. Arbeit (Motor)
 - c. Lichtabgegeben

1.2) Der Ohm'sche Widerstand

- Symbol:



- Durch Anlegen einer Spannung an einen metallischen Leiter fließt ein Strom
- Zwischen dem Strom I und der Spannung U besteht ein linearer Zusammenhang

$$U = R \cdot I$$

- Die Proportionalitätskonstante R wird als *elektrischer Widerstand* bezeichnet (Ohm'sches Gesetz)
- Der Widerstand hängt von der Länge, dem Querschnitt des Leiters und dem materialabhängigen *spezifischen Widerstand* ρ ab

$$R = \rho \cdot \frac{l}{A}$$

- Spezifischer Widerstand steigt mit der Temperatur an !
- Einheit: Ohm $1 \Omega = 1 \text{ V/A}$
- Wertebereich: $1 \text{ m} \Omega$ bis $1 \text{ G} \Omega$

➤ **Verfügbare Widerstände**

- Widerstandsreihen: E3, E6, E12, E24 etc
- Bestimmung der Werte in der E6-Reihe: n-te Wert der Reihe ergibt sich zu

$$R_n = \sqrt[6]{10^{n-1}}$$

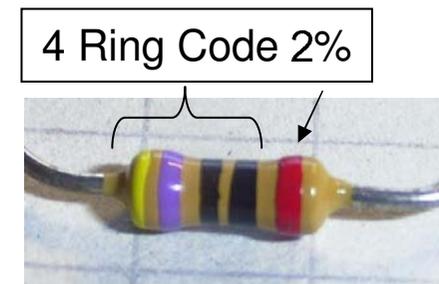
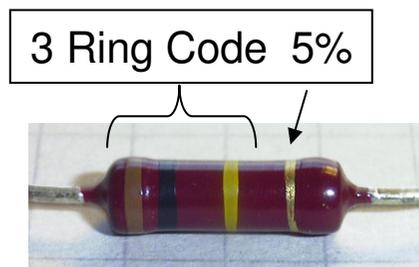
⇒ 1,0 1,5 2,2 3,3 4,7 6,8 ... mit 20% Genauigkeit

- Bestimmung der Werte in der E24-Reihe: n-te Wert der Reihe ergibt sich zu

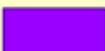
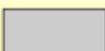
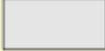
$$R_n = \sqrt[24]{10^{n-1}}$$

⇒ 1,0 1,1 1,2 1,3 1,4 1,5 1,6 1,8 2,0 2,2 ... mit 5% Genauigkeit

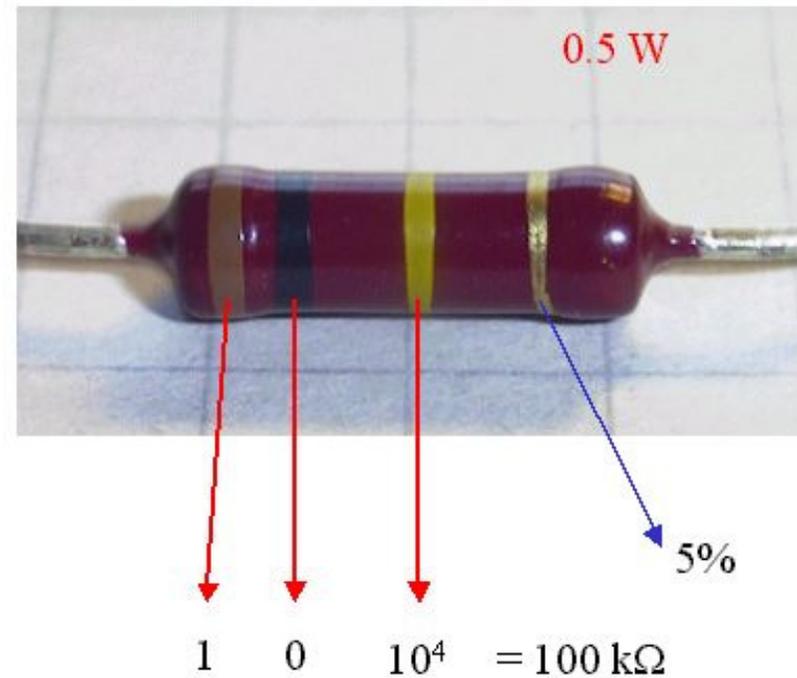
- Kodierung



Standard Farbcodes

schwarz		0
braun		1
rot		2
orange		3
gelb		4
grün		5
blau		6
violett		7
grau		8
weiss		9
gold		5%
silber		10%
rot		2%

Beispiel eines 100 k Ω 5% Widerstands



- **Ausführung von Widerständen:**
 1. **Draht:** hohe Belastbarkeit, sehr hohe Stabilität und Genauigkeit erreichbar, geringe Temperaturabhängigkeit ($10^{-4}/K$)
 2. **Kohleschicht:** sehr günstig herstellbar (meist 5% Genauigkeit), sehr hohe Werte erreichbar (bis $G\Omega$), geringe Temperaturabhängigkeit
 3. **Metallschicht:** hohe Genauigkeit (0,1 bis 2%), geringe Temperaturabhängigkeit, sehr geringe Induktivität
- **Verlustleistung der Widerstände beachten**

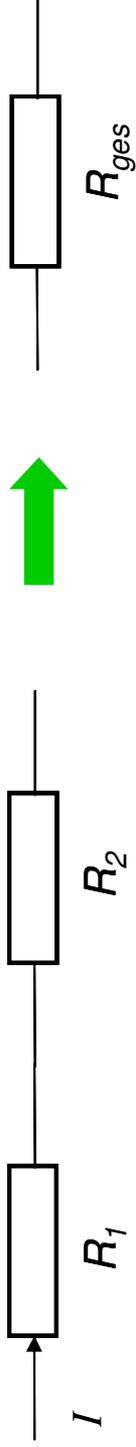
$$P = I^2 \cdot R = \frac{U^2}{R}$$

Standardwerte: 1/8, 1/4, 1/2 und 1 Watt

Drahtwiderstände auch für hohe Verlustleistungen erhältlich!

➤ Schaltungen mit Widerständen

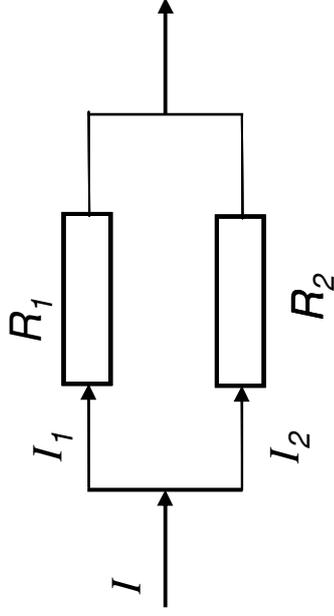
1. Reihenschaltung



$$I = \text{const.}$$

$$U = R_1 \cdot I + R_2 \cdot I = (R_1 + R_2) \cdot I = R_{\text{ges}} \cdot I$$

2. Parallelschaltung



$$I = I_1 + I_2$$

$$U_1 = R_1 \cdot I_1 = R_2 \cdot I_2 = U_2 = U = R_{\text{ges}} \cdot I$$

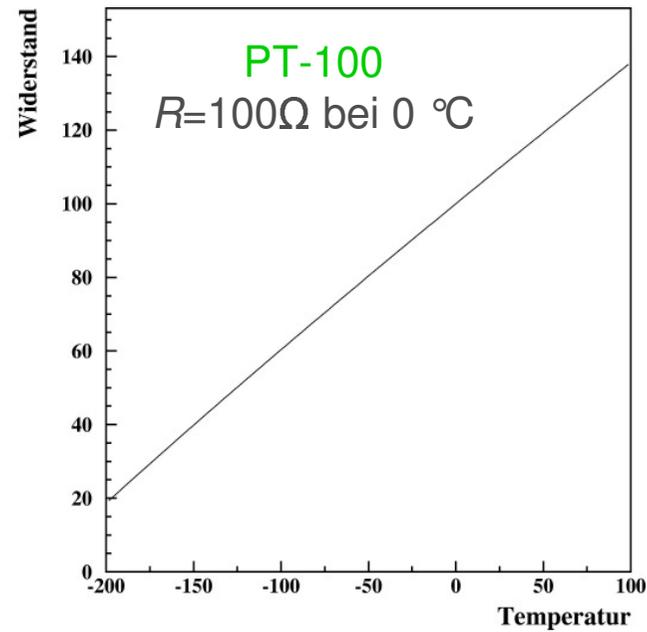
$$\Rightarrow R_{\text{ges}} = \frac{U}{I_1 + I_2} = \frac{R_1 \cdot R_2}{R_1 + R_2}$$

Beachte: Bei einer Parallelschaltung ist der Gesamtwiderstand immer kleiner als der kleinste Einzelwiderstand !

Beispiel: $10\text{k}\Omega \parallel 5\text{k}\Omega$ ergibt insgesamt $3.3\text{k}\Omega$

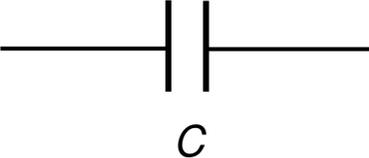
➤ Widerstand als Thermometer

- Einige Materialien weisen starke Temperaturabhängigkeiten auf
z.B. Platinwiderstände: $4 \cdot 10^{-3} \Omega/K$



$$R(T) = 100 \cdot \left[1 + 3.91 \cdot 10^{-3} \cdot T - 5.78 \cdot 10^{-7} \cdot T^2 - 4.18 \cdot 10^{-12} \cdot (T - 100) \cdot T^3 \right]$$

1.3) Der Kondensator

- Symbol: 

- Speicherung von Ladung und damit von Energie
- Zwischen der anliegenden Spannung und der Ladung besteht ein linearer Zusammenhang:

$$Q = C \cdot U$$

- C ist die Kapazität des Kondensators. Hängt von der Geometrie (Fläche der Elektroden, Abstand der Elektroden und dem Dielektrikum dazwischen) ab

- Einheit: Farad $1 \text{ F} = 1 \text{ C/V}$

- Gängige Werte
1pF bis 1 mF

- Strom: $I = \frac{dQ}{dt} = C \frac{dU}{dt}$



Frequenzabhängigkeit des Widerstand !
Bei konstanter Spannung fließt kein Strom !
Wechselstrom wird übertragen

➤ **Verfügbare Kondensatoren**

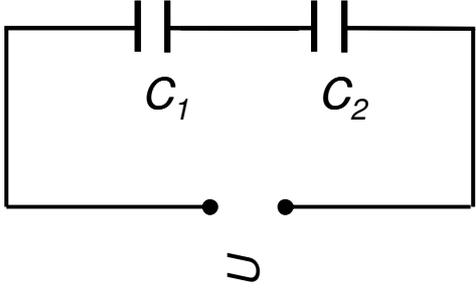
- Verschiedene Materialien kommen zum Einsatz:
 1. Beschichtete Papiere oder Kunststofffolien (gewickelte Folienkondensatoren)
 - Temperaturstabil
 - Hohe Genauigkeit
 - Geringer Leckstrom
 2. Keramische Dielektrika mit Metallelektroden
 - Sehr weiter Frequenzbereich (bis 10^8 Hz)
 - Sehr stabil
 3. Elektrolytische Kondensatoren
 - Sehr große Kapazitäten günstig herstellbar

Kondensator	Kapazitäts- bereich	Toleranzen	Eigen- induktivität	Ab- messung	Betriebs- spannung	selbst- heilend	gepolt
Papier-	100 pF..1 μ F	20 %	groß	groß	125..1000 V	nein	nein
Metall-Papier-	0,1..50 μ F	20 %	groß	groß	160..600 V	ja	nein
Styroflex-	2 pF..50 nF	20 %	klein	mittel	50..500 V	nein	nein
Metall-Kunststoff-	0,01..0,25 μ F	20 %	mittel	klein	300 V..5 kV	ja	nein
Metall-Lack-	0,1..200 μ F	20 %	mittel	sehr klein	60..120 V	ja	nein
Keramik-	0,5 pF..50 nF	20 %	sehr klein	groß	250..500 V	nein	nein
Elektrolyt-	0,5..10000 μ F	-20%..+50%	groß	sehr klein	3..650 V	ja	ja

- Einsatzgebiete:
 1. Folienkondensatoren: Signalformung und Filterung bis 10 MHz
 2. Keramische Kondensatoren: Hochfrequenzanwendungen
 3. Elektrolytische Kondensatoren: Filterung hoher Ströme bei Frequenzen bis MHz

➤ Schaltungen mit Kondensatoren

1. Reihenschaltung



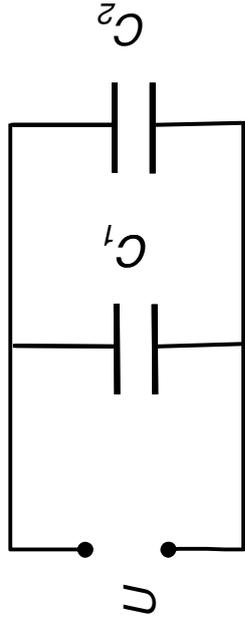
$$U_1 = \frac{Q}{C_1}, U_2 = \frac{Q}{C_2}$$

$$U = U_1 + U_2 = Q \cdot \left(\frac{1}{C_1} + \frac{1}{C_2} \right) = \frac{Q}{C_{ges}}$$

$$\Rightarrow \frac{1}{C_{ges}} = \frac{1}{C_1} + \frac{1}{C_2}$$

Beachte: Bei einer Reihenschaltung ist die Gesamtkapazität immer kleiner als die kleinste Einzelkapazität !

1. Parallelschaltung



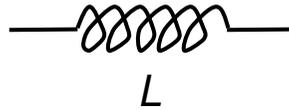
$$U_1 = U_2 = U$$

$$Q_{tot} = Q_1 + Q_2$$

$$C_{ges} = \frac{Q_{tot}}{U} = \frac{Q_1 + Q_2}{U} = \frac{Q_1}{U_1} + \frac{Q_2}{U_2} = C_1 + C_2$$

1.4) Die Induktivität (Spule)

- Symbol:



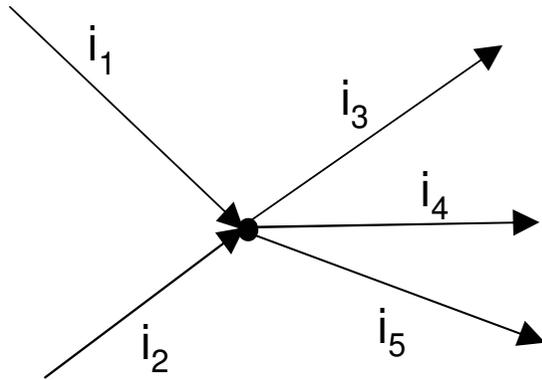
- Speicherung von magnetischer Energie
- Stromänderung dI/dt in der Spule ruft induzierte Spannung hervor, die der Stromänderung entgegenwirkt (Induktionsgesetz, Lenz'sche Regel)

$$U_{ind} = -L \cdot \frac{dI}{dt}$$

- L ist die Induktivität der Spule. Hängt von der Geometrie und Material ab
- Einheit: Henry $1 \text{ H} = 1 \text{ Vs/A}$
- Gängige Werte
 $1 \mu\text{H}$ bis 1 H
- Da die Spannung über der Spule von dI/dt abhängt, ist der Widerstand frequenzabhängig !
 - Gleichstrom wird ungehindert durchgelassen
 - Wechselstrom wird behindert

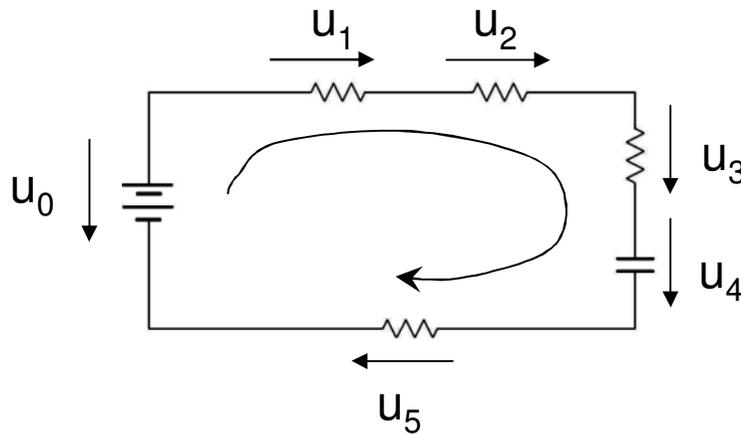
1.5) Netzwerke und ihre Analyse

▪ Knotenregel der Ströme



$$i_1 + i_2 - i_3 - i_4 - i_5 = 0$$

▪ Maschenregel der Spannungen

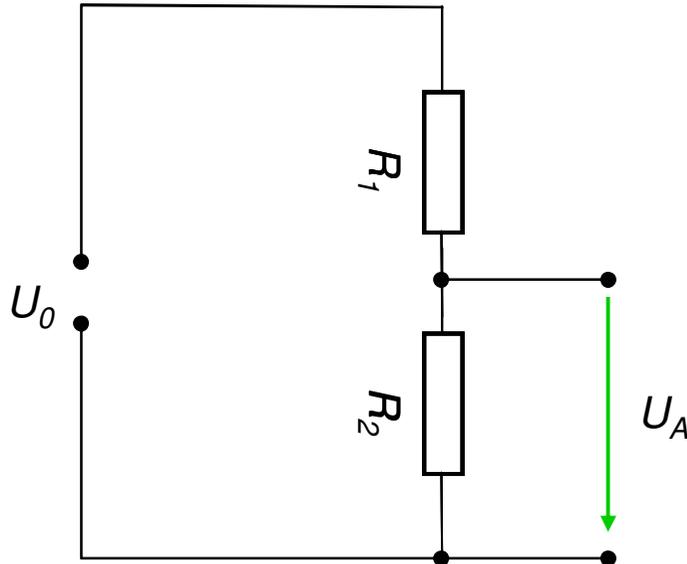


$$-u_0 + u_1 + u_2 + u_3 + u_4 + u_5 = 0$$

➤ Spannungsteiler

- Eingangsspannung U_0 wird um festen Faktor $1/\alpha$ reduziert:

$$U_A = \alpha \cdot U_0$$



$$I = \frac{U_0}{R_1 + R_2}$$

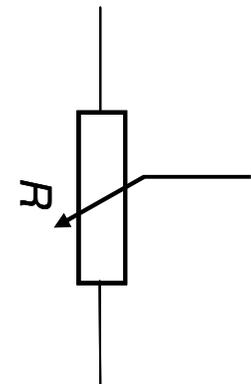
$$U_A = I \cdot R_2 = U_0 \cdot \frac{R_2}{R_1 + R_2}$$

$$\Rightarrow \alpha = \frac{R_2}{R_1 + R_2}$$

Extremfälle: $R_2 \rightarrow 0 \Rightarrow U_A = 0$

$R_2 \rightarrow \infty \Rightarrow U_A = U_0$

Oft wird der Spannungsteiler in der Praxis einstellbar (Potentiometer) ausgeführt.

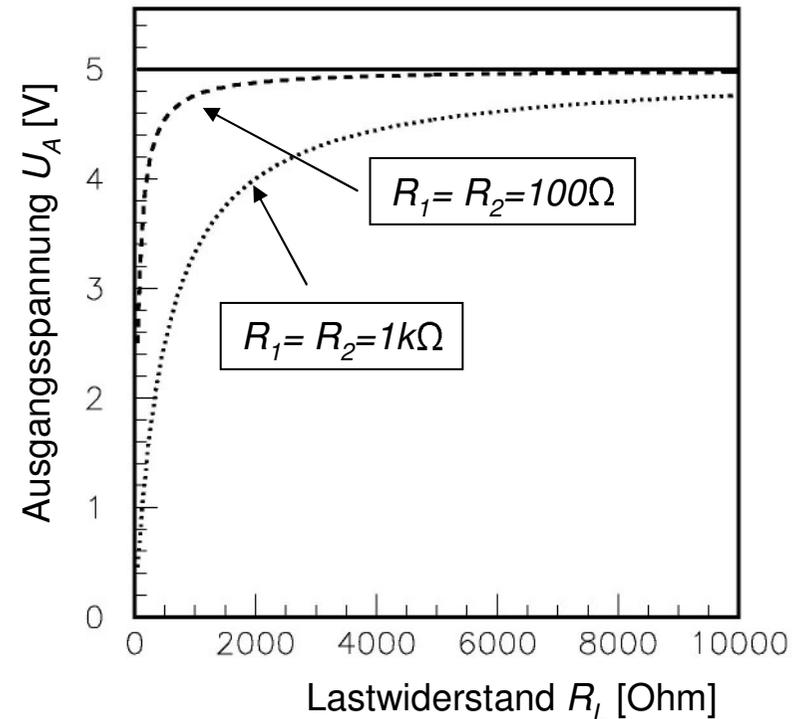
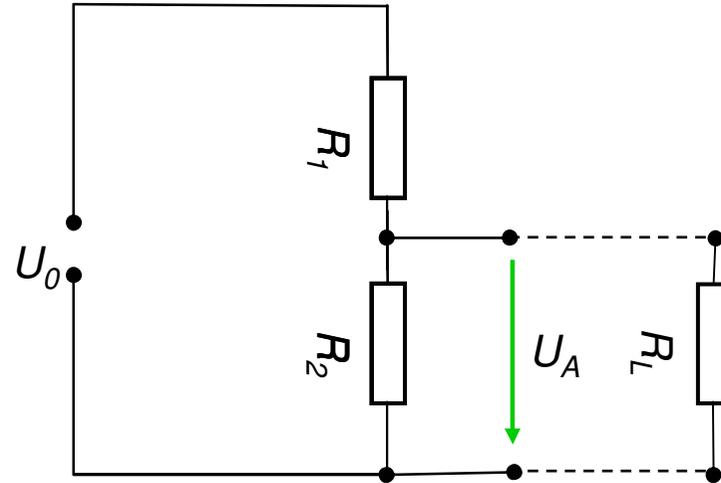


➤ Realer Spannungsteiler

- Vorherige Betrachtung gilt nur für $R_L \gg R_2$
- In der Realität fällt U_A an dem Lastwiderstand R_L ab
⇒ Parallelschaltung von R_2 und R_L
- Der Gesamtwiderstand ist daher

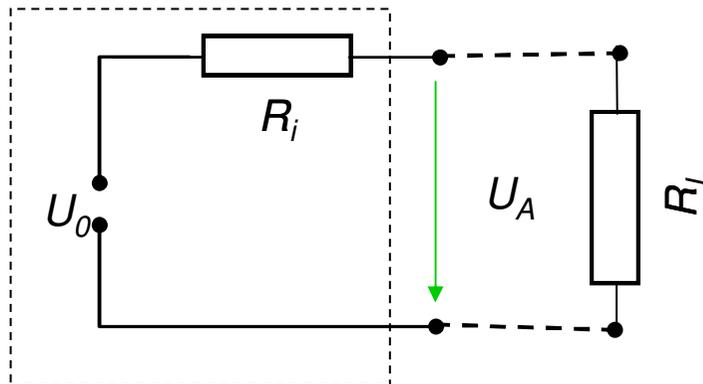
$$R_{2L} = \frac{R_2 \cdot R_L}{R_2 + R_L} \Rightarrow U_A = U_0 \cdot \frac{R_{2L}}{R_1 + R_{2L}}$$

- d.h. die Ausgangsspannung hängt vom Lastwiderstand ab!
- Problem kann durch kleine Widerstände R_1 und R_2 verringert werden, aber dann fließt ein hoher Strom ⇒ hohe Verlustleistung
- Abhilfe durch aktive Bauteile z.B. Transistor



➤ Anwendung: Spannungsquelle

- Bei idealer Spannungsquelle sollte die Ausgangsspannung U_A unabhängig von der Belastung (vom Strom) sein
- Jede reale Spannungsquelle kann nur einen begrenzten Strom liefern und weißt daher einen gewissen Innenwiderstand R_i auf



$$U_A = U_0 \cdot \frac{R_L}{R_i + R_L}$$

$$U_A = U_0 - R_i \cdot I_L$$

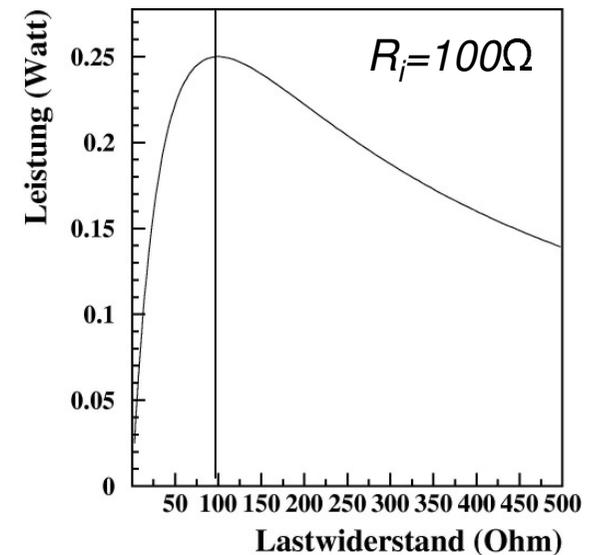
- Innenwiderstand muss möglichst klein gegen den Lastwiderstand sein

- Leistung einer Spannungsquelle: $P = U_A \cdot I_L = \frac{U_A^2}{R_L}$

- Extremfälle:

$$R_L = 0 \Rightarrow U_A = 0 \Rightarrow P = 0$$

$$R_L = \infty \Rightarrow I_L = 0 \Rightarrow P = 0$$



- Noch mal belasteter Spannungsteiler

$$I_0 = I_2 + I_L = \frac{U_A}{R_2} + I_L$$

$$U_0 = U_1 + U_A$$

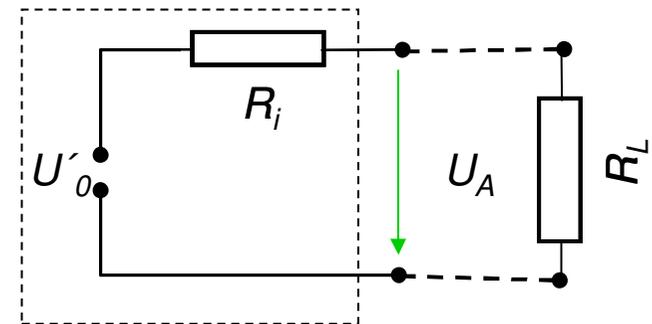
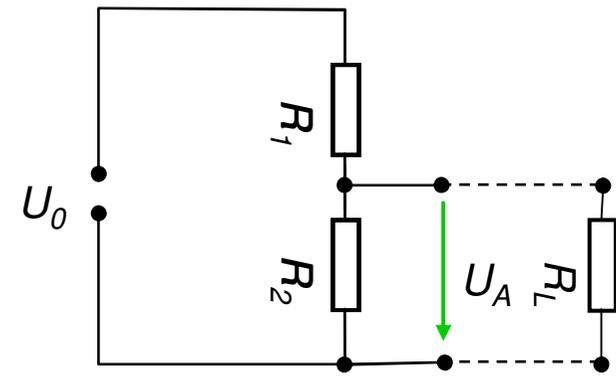
$$\Rightarrow U_A = U_0 - I_0 \cdot R_1 = U_0 - \left[\frac{U_A}{R_2} + I_L \right] \cdot R_1$$

$$\Rightarrow U_A = U_0 \cdot \left[\frac{R_2}{R_1 + R_2} \right] - I_L \cdot \left[\frac{R_1 \cdot R_2}{R_1 + R_2} \right]$$

- Äquivalenter Innenwiderstand

$$U'_0 = U_0 \frac{R_2}{R_1 + R_2}$$

$$R_i = \frac{R_1 \cdot R_2}{R_1 + R_2}$$



➤ Thévenin-Äquivalent Schaltkreis

- Jedes Netzwerk von Widerständen und Spannungsquellen kann durch ein Ersatzschaltbild mit einem Widerstand R_{th} und einer Spannungsquelle U_{th} ersetzt werden

$$R_i = R_{th} = \frac{U_{th}}{I_{Kurzschluß}}$$

- Spannungsquelle: meist gilt $R_L \gg R_i$

$$\Rightarrow I_L = \frac{U_0}{R_i + R_L} \approx \frac{U_0}{R_L}$$

d.h. Strom hängt von äußerer Last ab

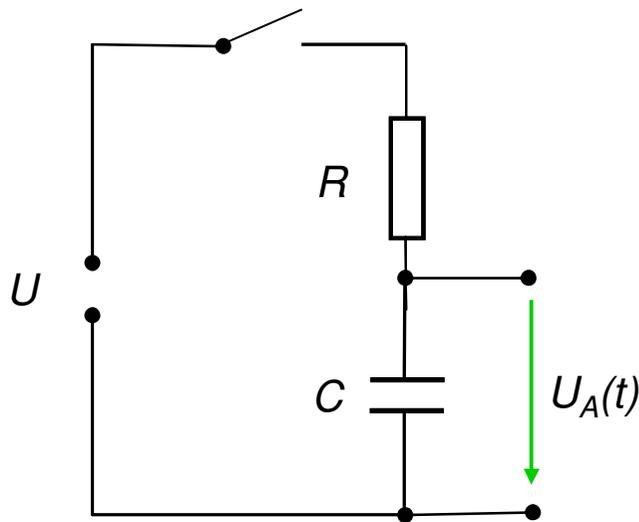
- Stromquelle: meist gilt $R_L \ll R_i$

$$\Rightarrow I_L = \frac{U_0}{R_i + R_L} \approx \frac{U_0}{R_i}$$

d.h. Strom nur von inneren Parametern abhängig

➤ RC-Netzwerk

- Serienschaltung eines Widerstands und Kondensators



- Schalter wird zur Zeit $t=0$ geschlossen
- $U_A(0)=0$
- Wie verhält sich $U_A(t)$?

- Maschenregel ergibt eine inhomogene Differentialgleichung 1.Ordnung

$$R \cdot I(t) + U_A(t) = U$$

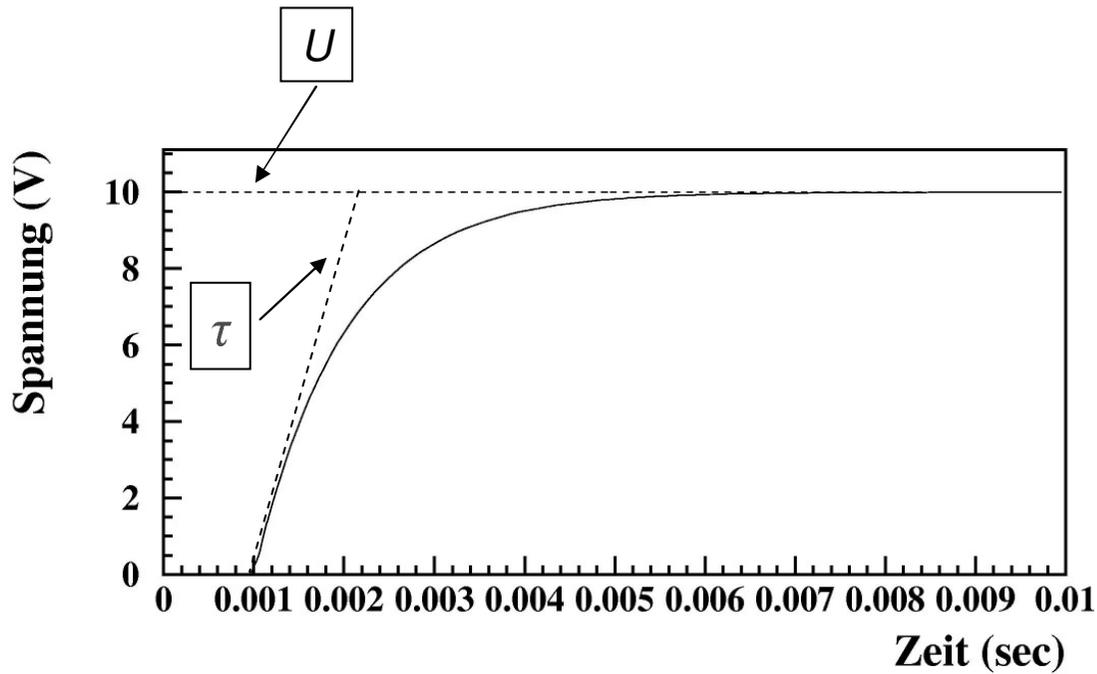
$$I(t) = \frac{dQ}{dt} = \frac{C \cdot dU_A(t)}{dt}$$

$$\Rightarrow R \cdot C \cdot \frac{dU_A(t)}{dt} + U_A(t) = U$$

- Lösung

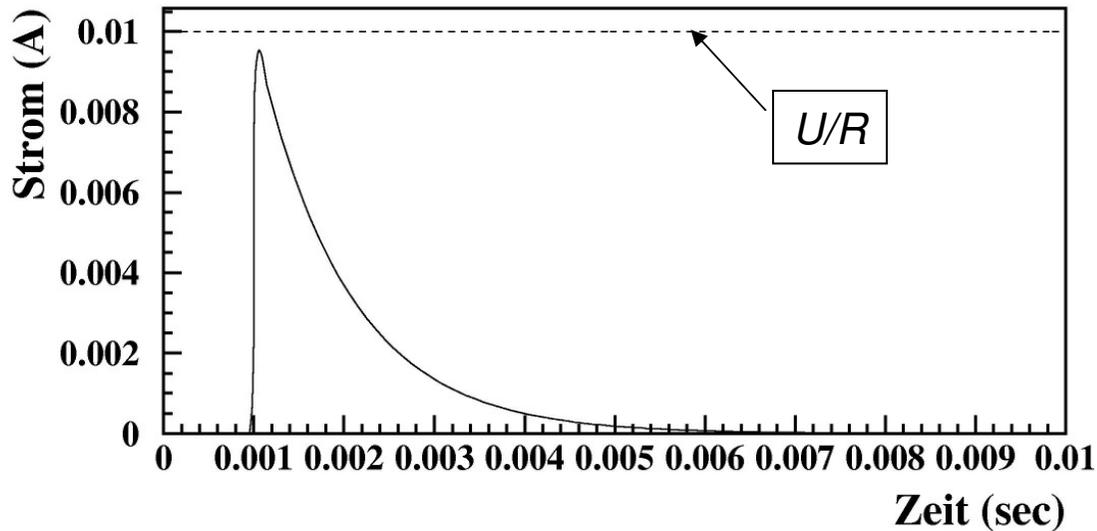
$$U_A(t) = U \cdot \left(1 - e^{-t/RC}\right) \quad ; \quad I(t) = \frac{U}{R} \cdot e^{-t/RC}$$

Strom und Spannung im RC-Netzwerk



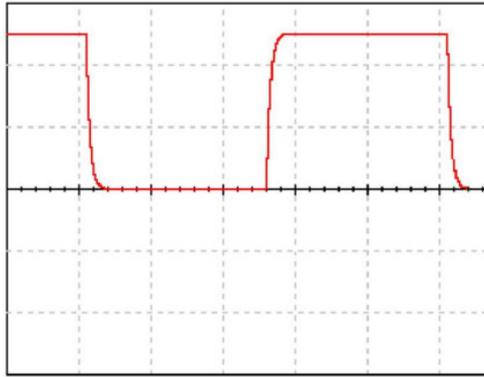
$$\begin{matrix} R=1k\Omega \\ C=1\mu F \end{matrix} \rightarrow \tau = 1\text{msec}$$

$$U_A(t) = U \cdot (1 - e^{-t/RC})$$

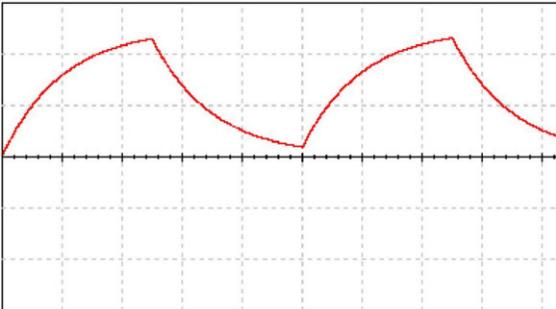


$$I(t) = \frac{U}{R} \cdot e^{-t/RC}$$

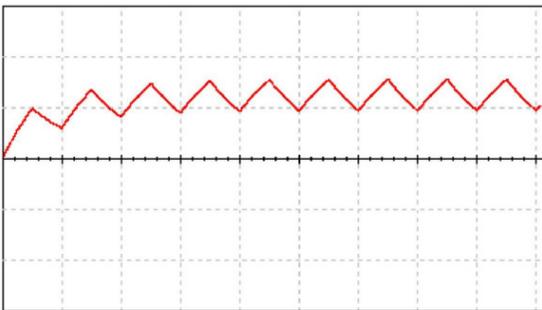
Spannung über dem Kondensator für Signal mit Periode T



$$\tau = RC \ll T$$



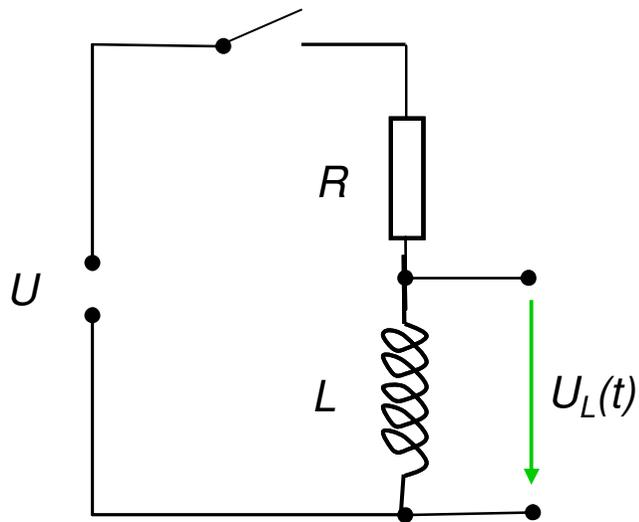
$$\tau = RC = T$$



$$\tau = RC \gg T$$

➤ RL-Netzwerk

- Serienschaltung eines Widerstands und Induktivität



- Schalter wird zur Zeit $t=0$ geschlossen
- $U_L(0)=0$
- Wie verhält sich $U_L(t)$?

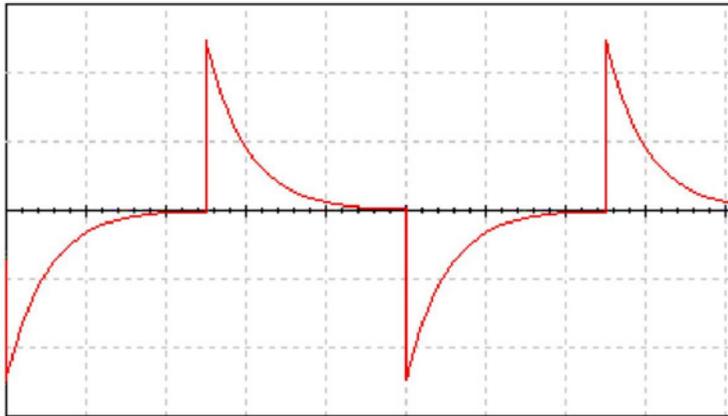
- Maschenregel ergibt eine inhomogene Differenzialgleichung 1.Ordnung

$$R \cdot I(t) + U_L(t) = U \quad \Rightarrow \quad R \cdot I(t) + L \frac{dI}{dt} = U$$

- Lösung

$$I(t) = \frac{U}{R} \cdot (1 - e^{-t \cdot L/R}) \quad ; \quad \frac{dI}{dt} = \frac{U}{L} \cdot e^{-t \cdot L/R}$$

Spannung über der Spule für Signal mit Periode T



$$\tau = R/L \sim T$$

➤ **Zusammenfassung der Eigenschaften**

Bauteil/Netzwerk	Spannung	Strom
Widerstand	$U = R \cdot I$	$I = U / R$
Kondensator	$U = Q / C$	$I = \frac{dQ}{dt} = C \frac{dU}{dt}$
Spule	$U_{ind} = -L \cdot \frac{dI}{dt}$	$I = -\frac{1}{L} \int U_{ind} dt$
RC-Netzwerk (U und I am Kondensator)	$U_C(t) = U_0 \cdot (1 - e^{-t/RC})$	$I(t) = \frac{U_0}{R} \cdot e^{-t/RC}$
RL-Netzwerk (U und I der Spule)	$U_L(t) = -L \frac{dI}{dt} = U_0 \cdot e^{-t \cdot L/R}$	$I(t) = \frac{U_0}{R} \cdot (1 - e^{-t \cdot L/R})$

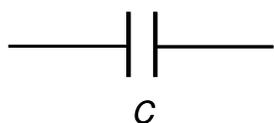
➤ Übersicht der Schaltsymbole

Passive Komponenten



Widerstand

$$Z_R = \frac{U}{I}$$



Kondensator

$$Z_C = \frac{1}{i \cdot \omega \cdot C}$$

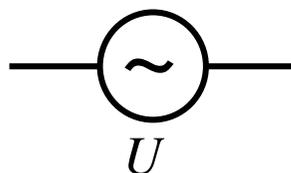


Spule

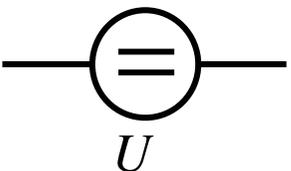
$$Z_L = i \cdot \omega \cdot L$$



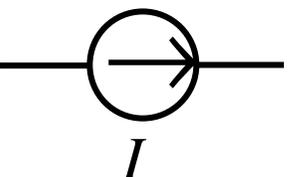
Aktive Komponenten



Wechselspannungsquelle

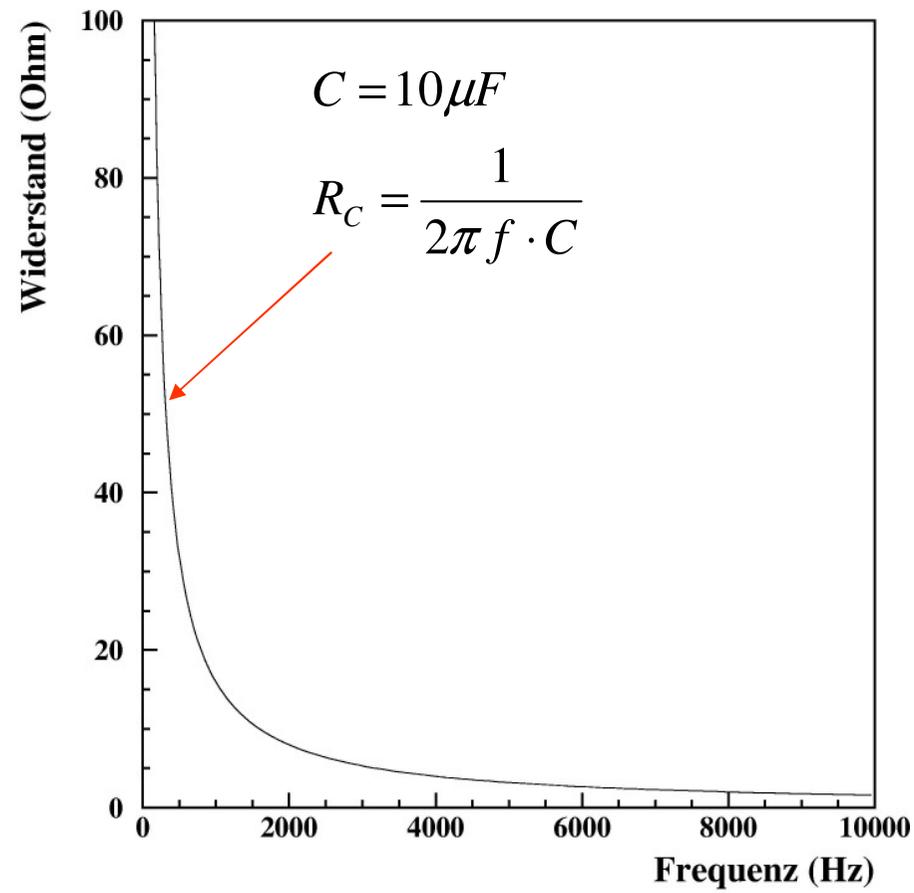


Gleichspannungsquelle



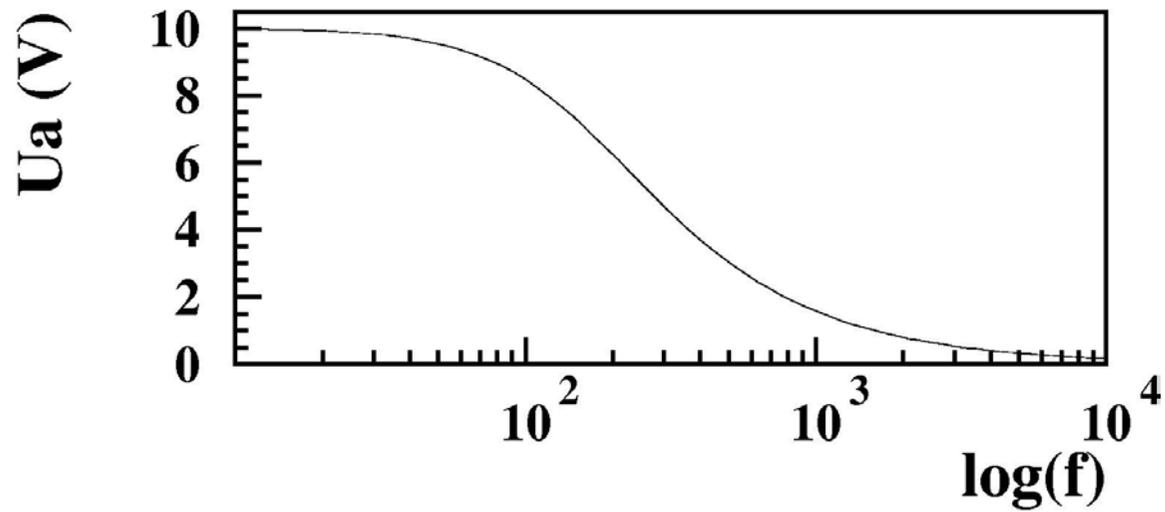
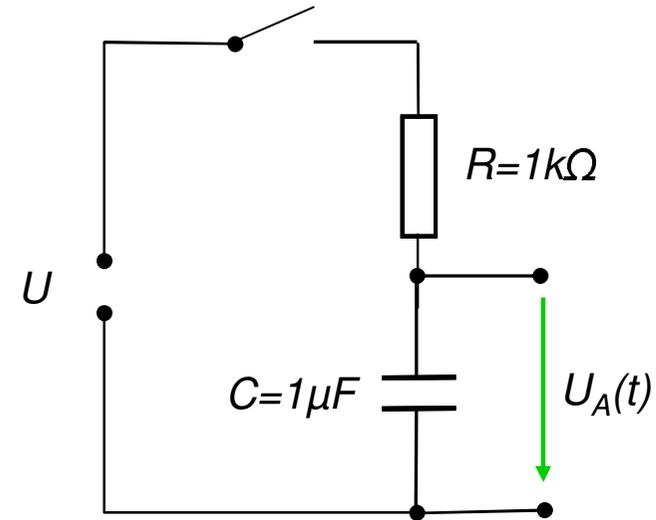
Stromquelle

Frequenzabhängigkeit der Impedanz eines Kondensators

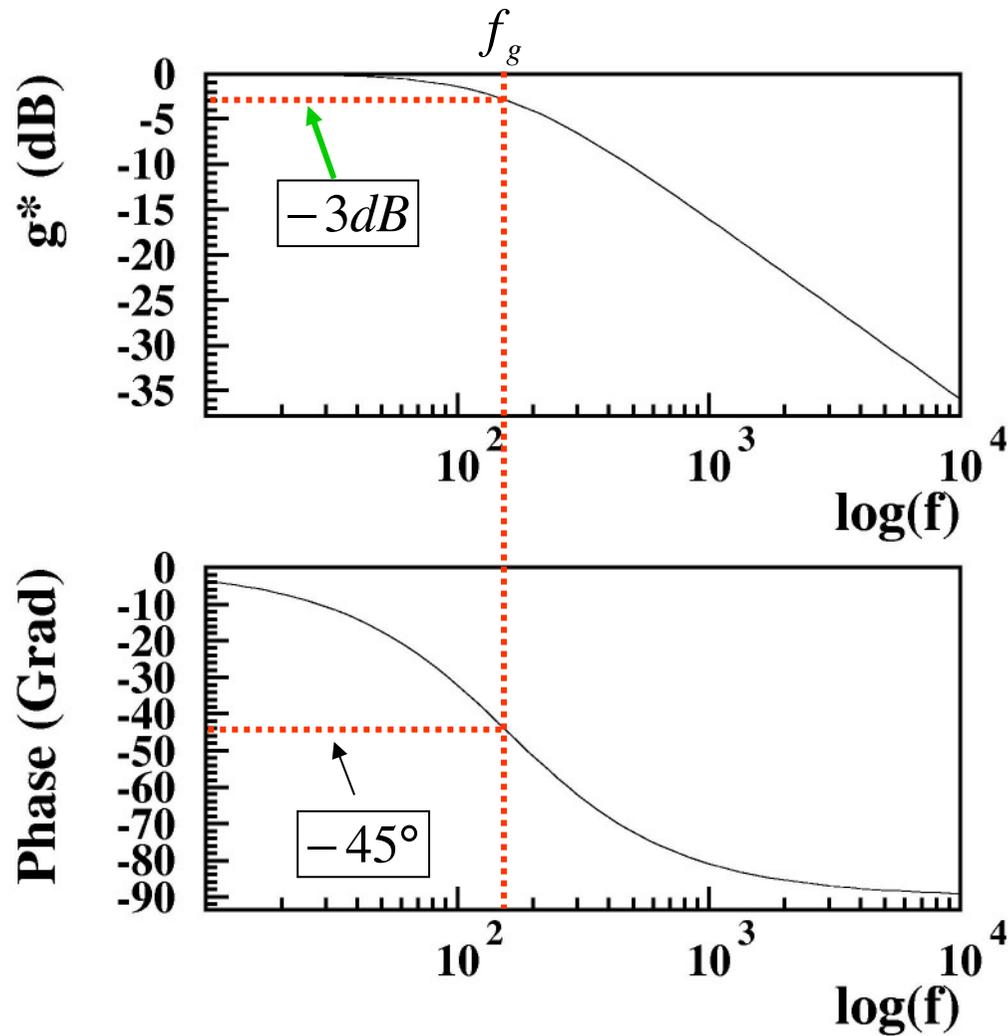


Frequenzgang eines RC Tiefpasses

$$U_A = 10V \cdot \frac{1}{\sqrt{1 + (2\pi f \cdot RC)^2}}$$



Logarithmische Übertragungsfunktion und Phase eines RC Tiefpasses
“Bode-Plot”



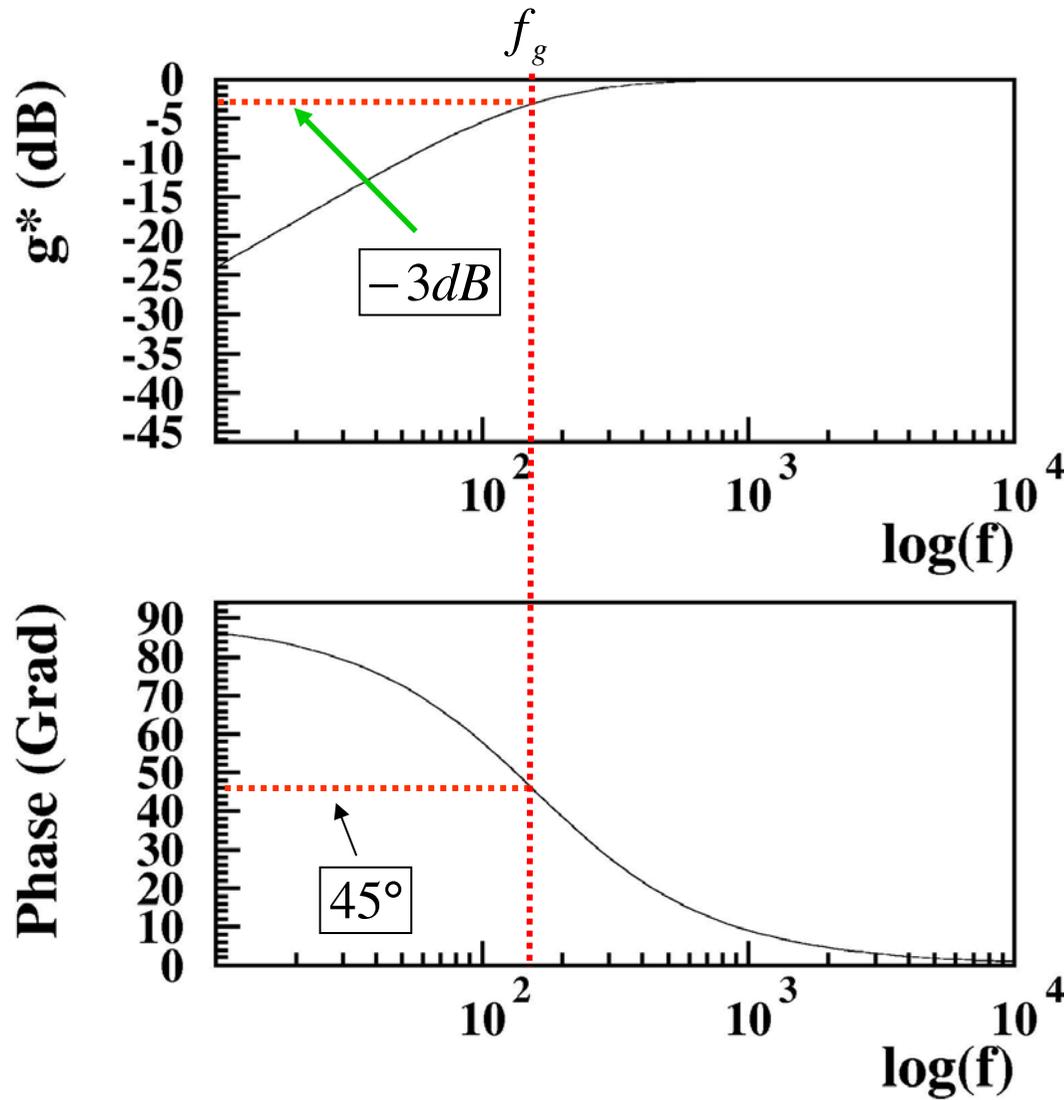
$$R=1k\Omega$$

$$C=1\mu F$$

$$\omega_g = \frac{1}{RC} = 1000Hz$$

$$f_g = \frac{1}{2\pi \cdot RC} = 167Hz$$

Logarithmische Übertragungsfunktion und Phase eines RC Hochpasses
“Bode-Plot”



$$R=1k\Omega$$

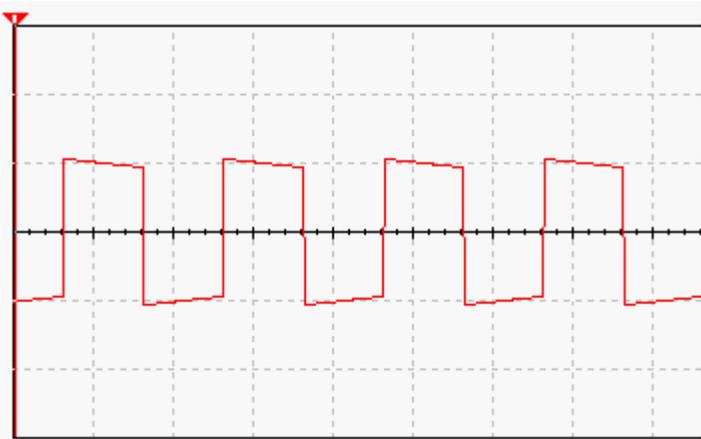
$$C=1\mu F$$

$$\omega_g = \frac{1}{RC} = 1000Hz$$

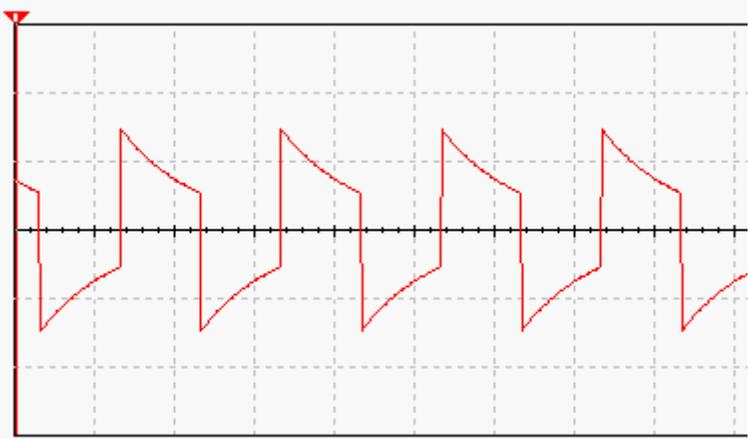
$$f_g = \frac{1}{2\pi \cdot RC} = 167Hz$$

Pulsfolge durch Hochpaß

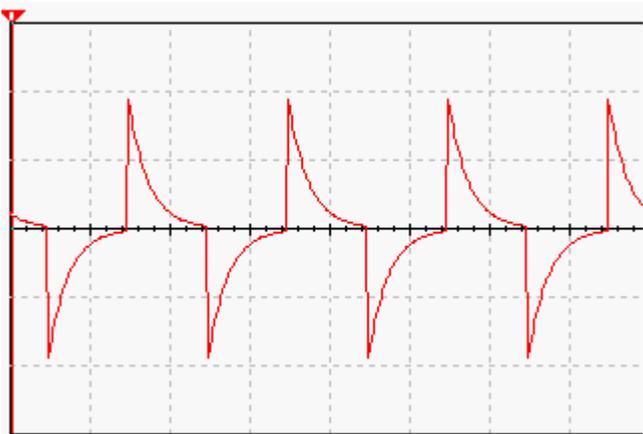
$$\tau = RC \gg t_d$$



$$\tau = RC > t_d$$



$$\tau = RC < t_d$$

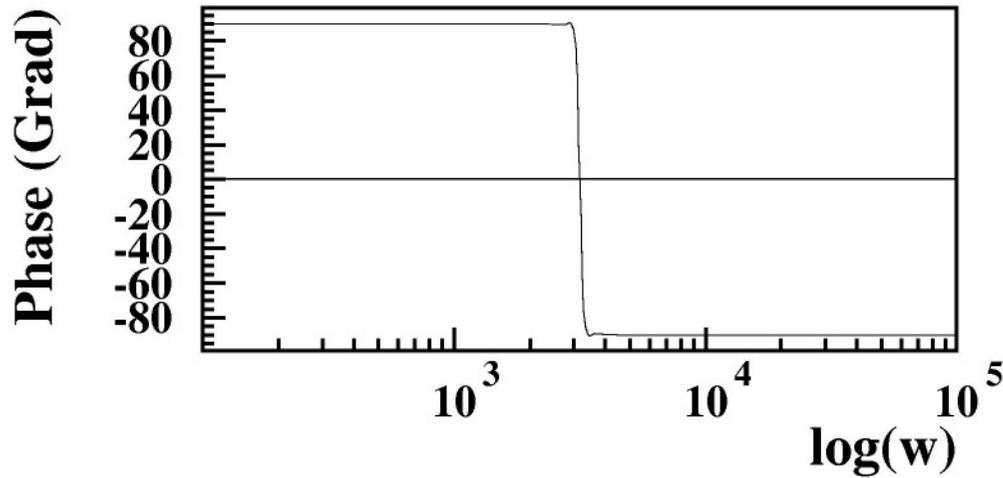
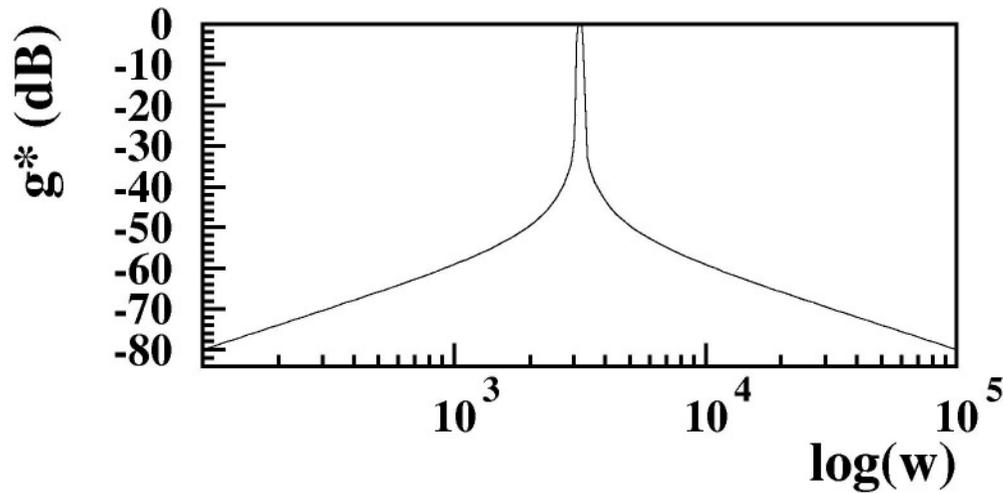


Resonanzkurve eines RLC-Netzwerkes

$$R=1k\Omega$$

$$C=100\mu F$$

$$L=1mH$$

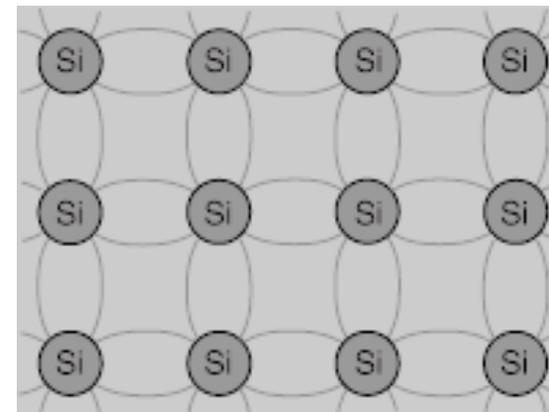
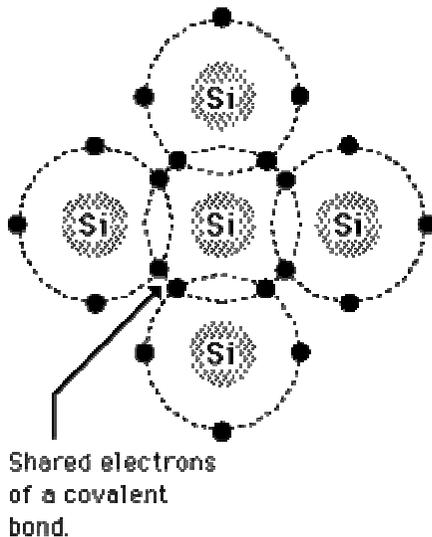
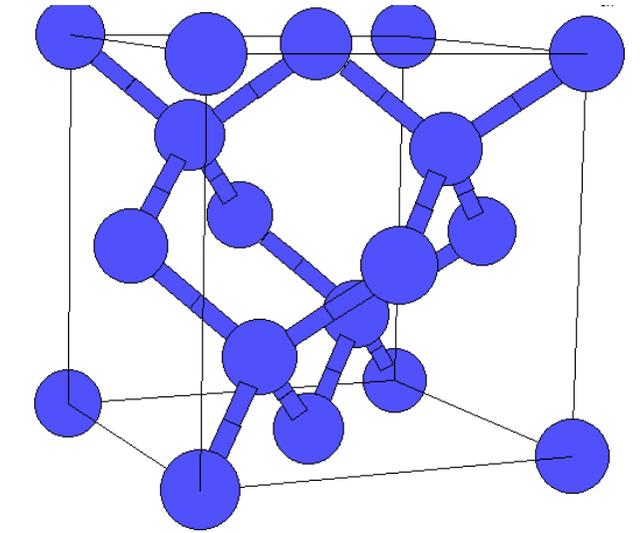


$$g^* = -10 \cdot \log \left[1 + R^2 \cdot \left(\frac{1}{\omega L} - \omega C \right)^2 \right]$$

$$\phi = \arctan \left[R \cdot \left(\frac{1}{\omega L} - \omega C \right) \right]$$

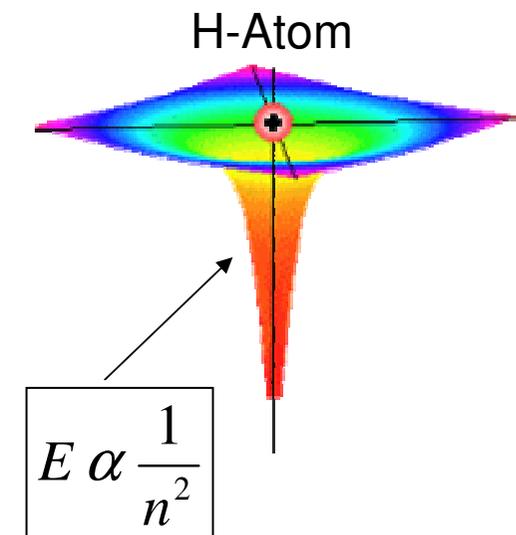
2. Halbleiterbauelemente

- Eigenschaften von Stoffen wie z.B. die Leitfähigkeit hängt von den freien Ladungsträgern (Elektronen oder Löcher) ab
- In Festkörpern sind die Atome in einer Gitterstruktur fest eingebunden
- Siliziumkristall weist Diamantstruktur auf
- Die Bindung zwischen den Atomen und auch die Leitfähigkeit wird durch die äußeren Valenzelektronen bestimmt

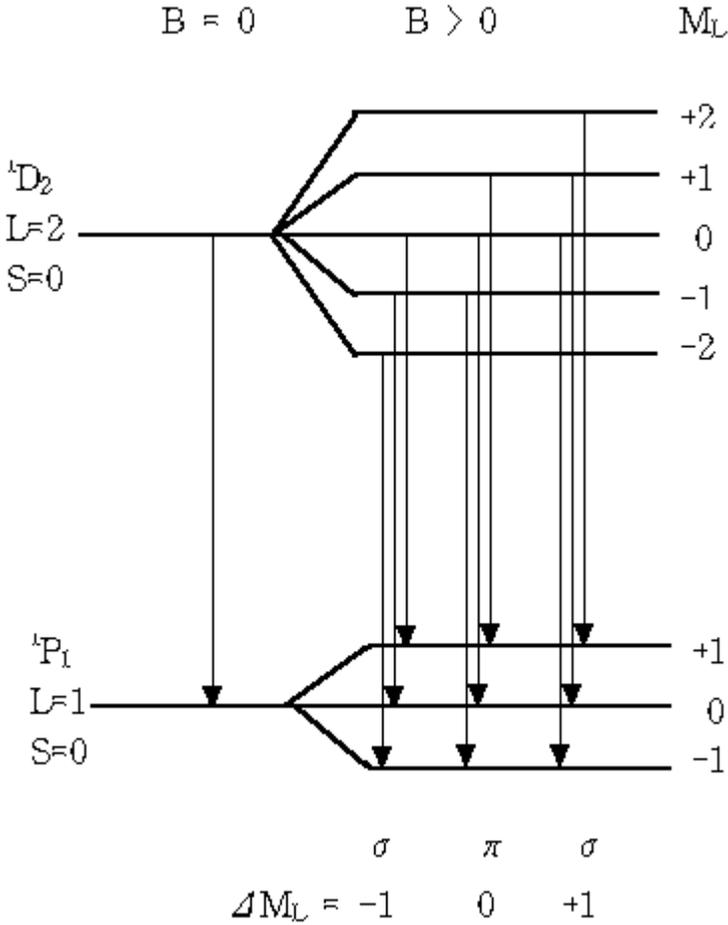


➤ Einzelne Atome

- Elektronen, die sich im Coulombfeld des Kerns aufhalten
- Beschreibung der möglichen Energieniveaus durch Quantenmechanik (für einfache Fälle !!)
- Nur gequantelte Energiezustände möglich
- Beschreibung der Niveaus durch Quantenzahlen
- Elektronen sind Fermionen, d.h. das Pauli-Prinzip muss erfüllt sein
- Energieniveaus sind häufig entartet, d.h. ein Energieniveau kann durch unterschiedliche Quantenzahlen erreicht werden: z.B. Spinquantenzahl
- Entartung wird durch äußere Einflüsse teilweise aufgehoben. Z.B. spaltet ein äußeres elektrisches oder magnetisches Feld die Niveaus auf (Zeemann-Effekt)



Aufspaltung der entarteten Energieniveaus von Cd im Magnetfeld



2L+1 Niveaus

➤ Festkörper (Kristall)

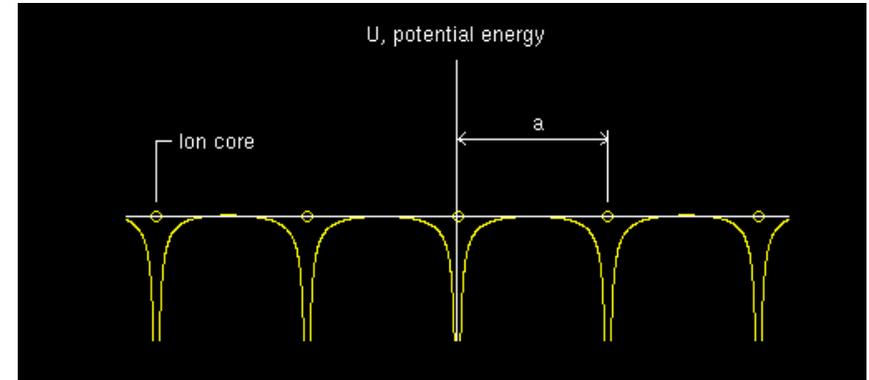
- Potential wird durch die zusätzlichen Atome im Gitter verändert (Energieniveaus werden verschoben)

- Periodisches Potential entsteht

$$E_{pot}(\vec{r}) = E_{pot}(\vec{r} + \vec{R}_e)$$

$$\vec{R}_e = \vec{a} + \vec{b} + \vec{c}$$

Translationsvektor des Gitters



- Freies Elektron:
d.h. kleiner Impuls $E_{kin} = \frac{\hbar \cdot k^2}{2 \cdot m} = \frac{p^2}{2 \cdot m}$

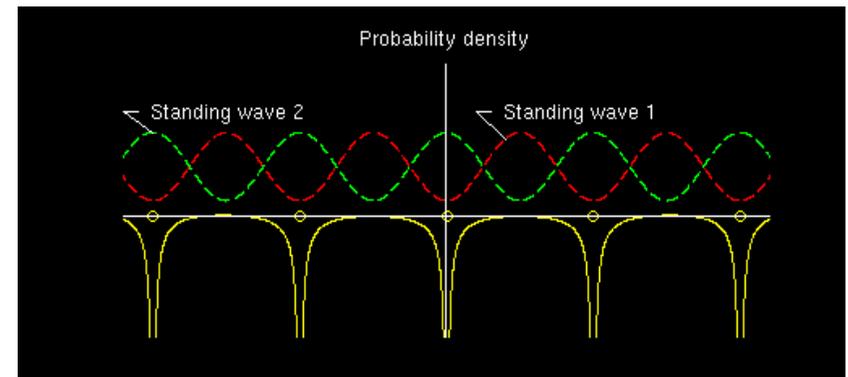
- Lösung der Wellenfunktion ist periodisch
→ Blochfunktion

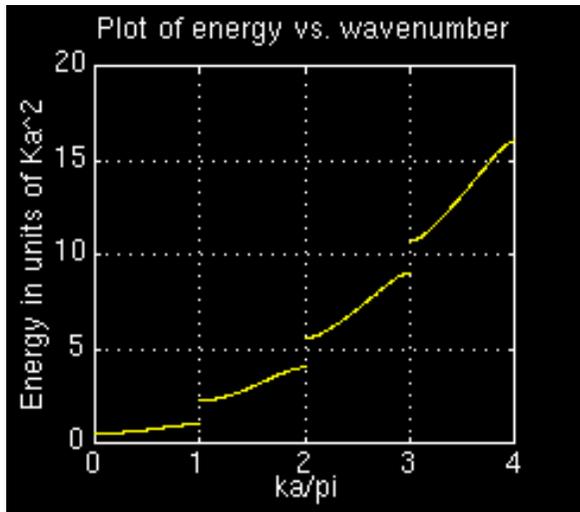
- Wahrscheinlichkeitsdichte entspricht stehender Welle, reflektiert an der Einheitszelle des inversen Gitters: 1. Brillouinzone (im Impulsraum)

$$\psi(\vec{r}) = e^{i\vec{k}\vec{r}} \cdot \psi(\vec{r} + \vec{R}_e)$$

$$\psi_+^* \psi_+ = 2 \cdot A^2 \cdot \cos^2\left(\frac{\pi \cdot x}{a}\right)$$

$$\psi_-^* \psi_- = 2 \cdot A^2 \cdot \sin^2\left(\frac{\pi \cdot x}{a}\right)$$



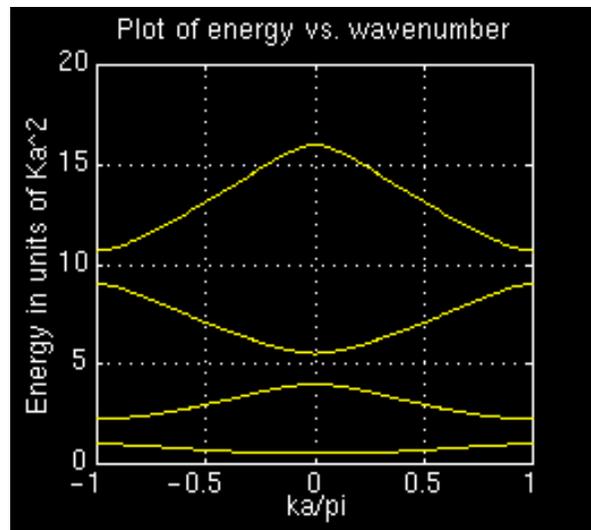


Energiebänder



Energielücke
d.h. unerlaubte Energiewerte

2N Niveaus im s-Band ($L=0$)



Die Struktur der Energiebänder ist über die Einheitszelle des Kristalls nicht konstant!

➤ Energieniveaus

- Anzahl der Energieniveaus in den Bändern
 - M Niveaus des Einzelatoms
 - N Niveaus der Atome im Kristall (Aufspaltung je nach Drehimpulsquantenzahl (Aufspaltung in $2L+1$ Niveaus), d.h. ca. $2.5 \cdot 10^{24}$ Atome in 100g Si)
- Breite der Energiebänder $\sim 1\text{eV}$

 ca. 10^{-26}eV Abstand der Niveaus, d.h. quasi kontinuierliche Energien, aber das Pauli-Prinzip gilt weiterhin!

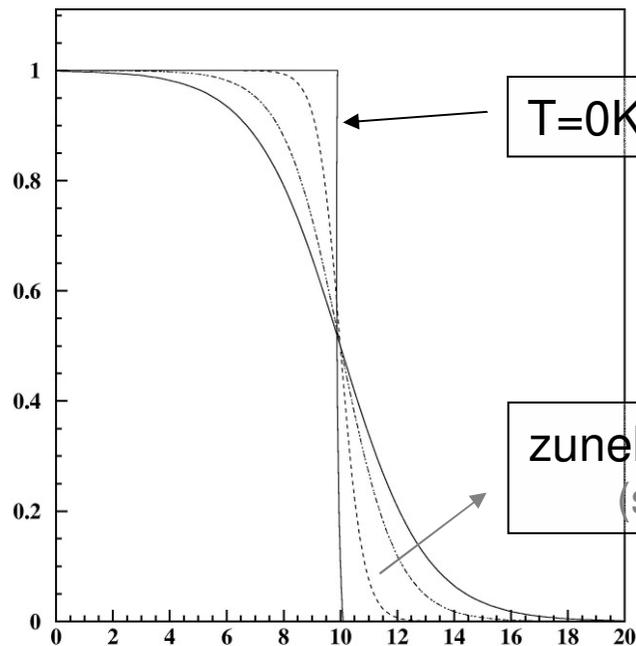
➤ Das Valenz- und Leitungsband

- Valenzband
 - Höchste Energieband das vollständig gefüllt ist, d.h. Elektronen mit der entsprechenden Energie können sich nicht bewegen (alle Niveaus besetzt !)
- Leitungsband
 - Energieband mit freien Energieniveaus. Durch Wechselwirkung mit den Nachbaratomen, oder durch elektrische Felder, können sich die Elektronen im Kristall bewegen (freie Ladungsträger)

- Fermi-Energie:

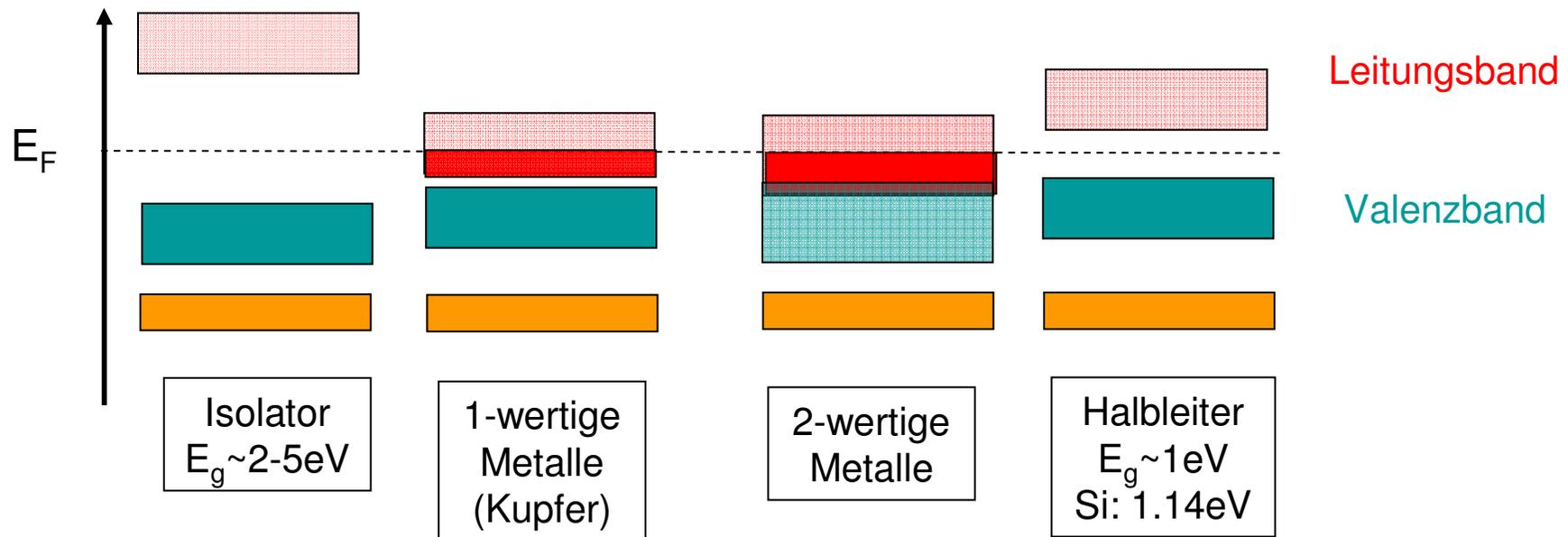
- Alle Energieniveaus unterhalb der Fermi-Energie sind bei $T=0K$ besetzt
- Für $T>0K$ ergibt sich keine scharfe Kante, sondern die Besetzung der Niveaus folgt der Fermi-Verteilung

$$F(E) = \frac{1}{1 + e^{\frac{E-E_F}{kT}}}$$



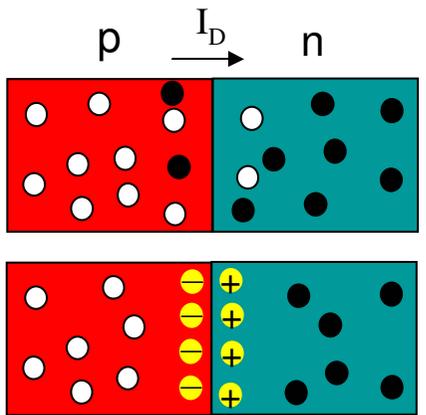
- $kT \approx 0.025eV$ bei 300K
- angeregte Zustände bis zu $20kT$
- Fermi-Verteilung berücksichtigt Pauli-Prinzip
- E_F entspricht dem Punkt an dem $F(E)=1/2$

Bandstruktur verschiedener Materialien



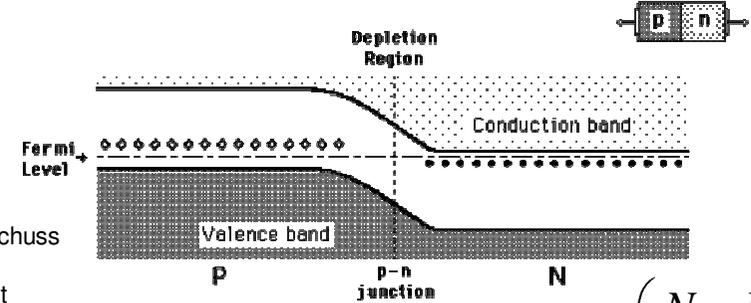
- 2-wertige Metalle müssten an sich Isolatoren sein, da das Valenzband vollständig gefüllt ist. Ursache für Leitfähigkeit: breite sich überlappende Leitungs- und Valenzbänder
- Normalerweise reicht thermische Anregung nicht aus um die Bandlücke zu überbrücken: $E_g \gg kT$
- Energiebänder in realen Kristallen sind in verschiedenen Richtungen des Kristalls unterschiedlich (je nach Abstand zu den Nachbaratomen). Auch das periodische Potential variiert entsprechend mit der Richtung

Der pn-Übergang



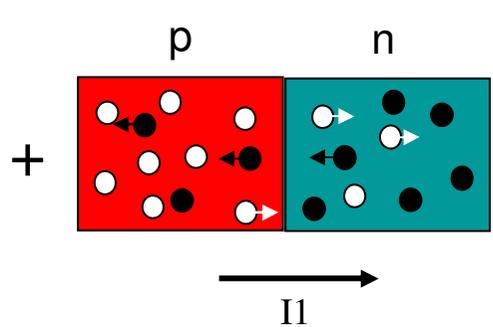
- Elektron
- Loch
- ⊖ Ion mit Elektronüberschuss
- ⊕ Ion mit Elektrondefizit

Ohne äußere Spannung

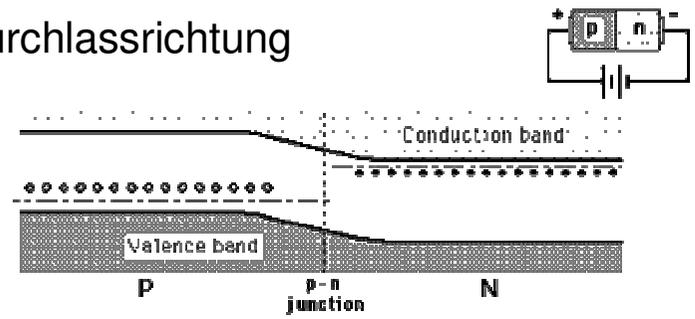


$$V = V_T \cdot \ln \left(\frac{N_A \cdot N_D}{n_i^2} \right)$$

- Durch Diffusion passieren Elektronen/Löcher den pn-Übergang
- Durch Rekombination entsteht am Übergang ein kleiner Bereich ohne freie Ladungsträger
- E-Feld baut sich auf, dass der Diffusion entgegenwirkt
- Es liegt daher ein Spannungsunterschied (Kontaktspannung) vor (entspricht ΔE_F) von ca. 0.7V

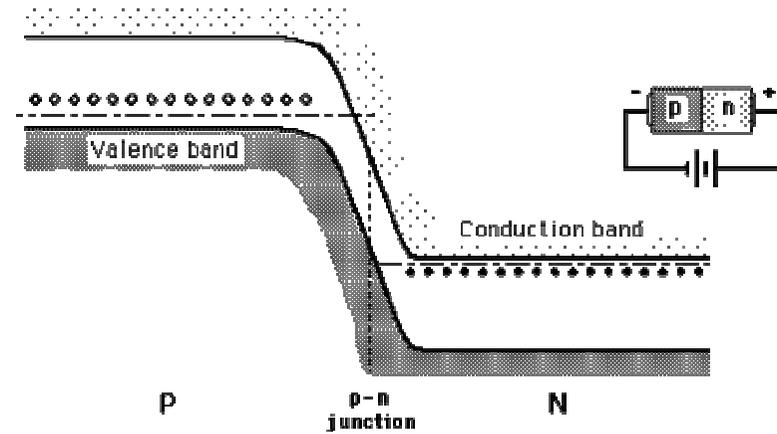
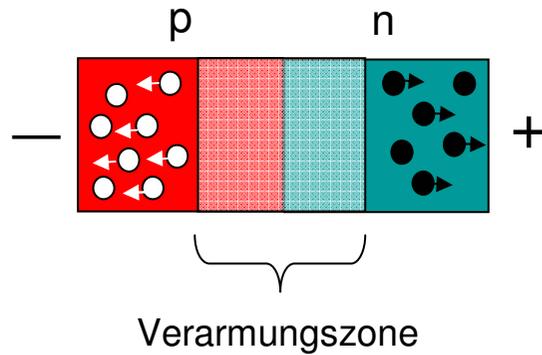


Spannung in Durchlassrichtung



- Die äußere Spannung senkt die Potentialdifferenz am Übergang ab
- Die Verarmungszone wird reduziert, oder verschwindet vollständig
- Ladungsträger können leicht von einem Leitungsband ins andere wechseln
- Gegenfeld tritt weiterhin auf, aber netto fließt ein Strom

Spannung in Sperrrichtung



- Die äußere Spannung erhöht die Potentialdifferenz am Übergang
- Die Verarmungszone wird vergrößert
- Ladungsträgern wird der Übergang erschwert
- Es fließt nur ein kleiner Tunnelstrom (Dunkelstrom) durch den Übergang

Übersicht pn-Übergang

Ladungsträgerkonzentration in reinem Silizium:

$$n_i^2 = B \cdot T^3 \cdot e^{-E_g/kT}$$
$$B = 5.4 \cdot 10^{31} \text{ K}^{-3} \text{ cm}^{-6} ; E_g = 1.14 \text{ eV}$$

Diffusionsstrom:

$$I_n = kT \cdot \mu_n \frac{dn}{dx} ; I_p = -kT \cdot \mu_p \frac{dp}{dx}$$

Drift-Strom:

$$I_D = e(n\mu_n + p\mu_p)E$$

Driftspannung U_D :

$$U_D = \frac{kT}{e} \cdot \ln\left(\frac{N_A N_D}{n_i^2}\right)$$

Ladungsträgerkonzentration in n-dotiertem Silizium

$$n_n \approx N_D ; p_n = n_i^2 / N_D$$

Ladungsträgerkonzentration in p-dotiertem Silizium

$$n_p \approx N_A ; p_p = n_i^2 / N_A$$

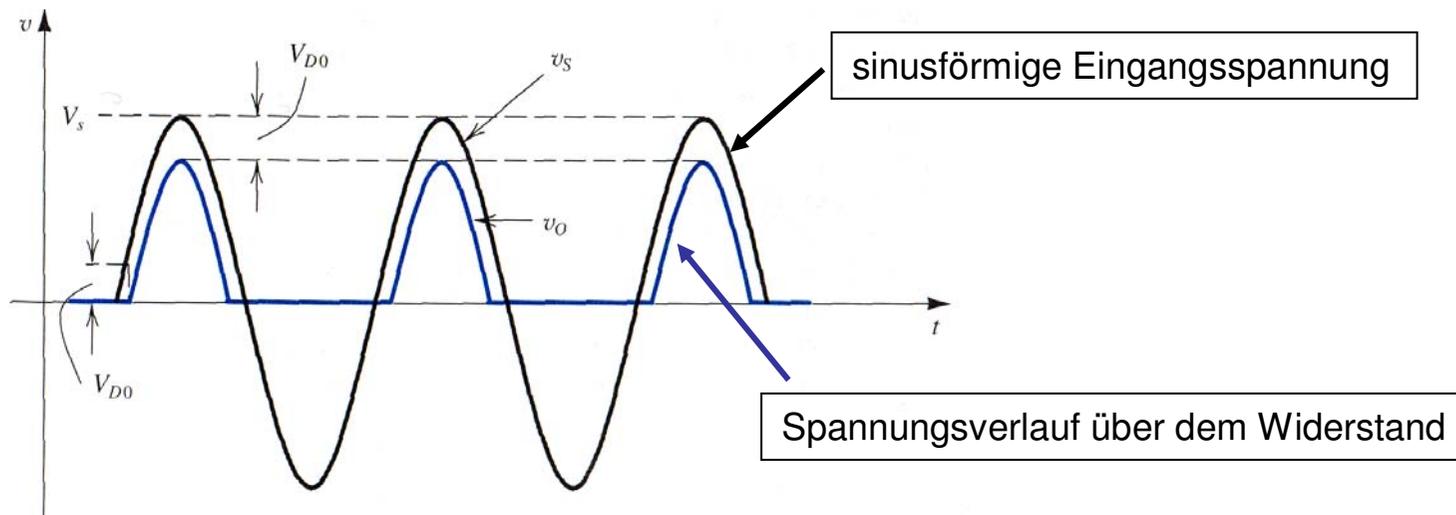
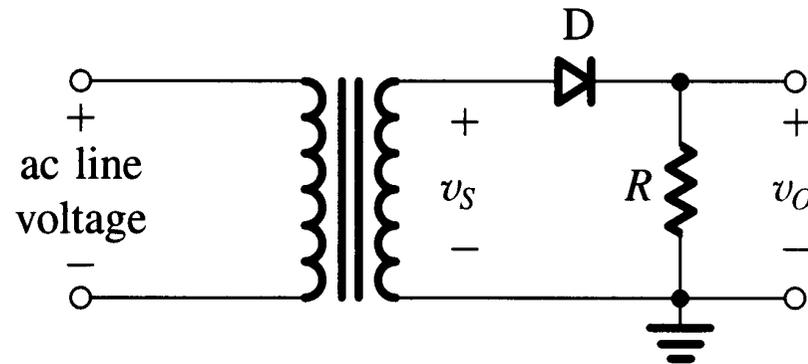
Ausdehnung der Verarmungszone:

$$w_{dep} = \sqrt{\frac{2\varepsilon_s}{e} \left(\frac{1}{N_A} + \frac{1}{N_D} \right) \cdot (U_D + U)} ; \varepsilon_s = 11.7 \cdot \varepsilon_0$$

Kapazität der Verarmungszone:

$$C = \varepsilon_s \cdot \frac{A}{w_{dep}}$$

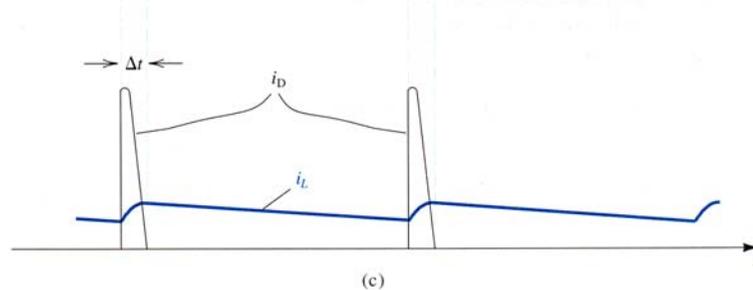
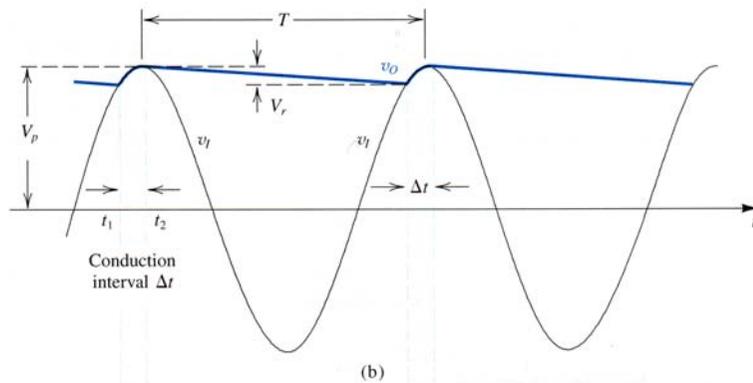
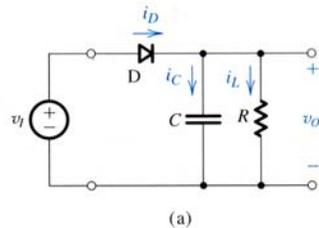
Diode: Einweggleichrichter



Diode: Einweggleichrichter

Gleichrichter mit Kondensator zum Glätten der Ausgangsspannung:

- Kondensator lädt sich über Diode bis Eingangsspannung unter U_c fällt
- Ausgangsstrom wird vom Kondensator geliefert
- Spannung über dem Kondensator sinkt wieder ab



$$\text{Entladevorgang } U_A = U_{A,0} \cdot e^{-t/R_L C}$$

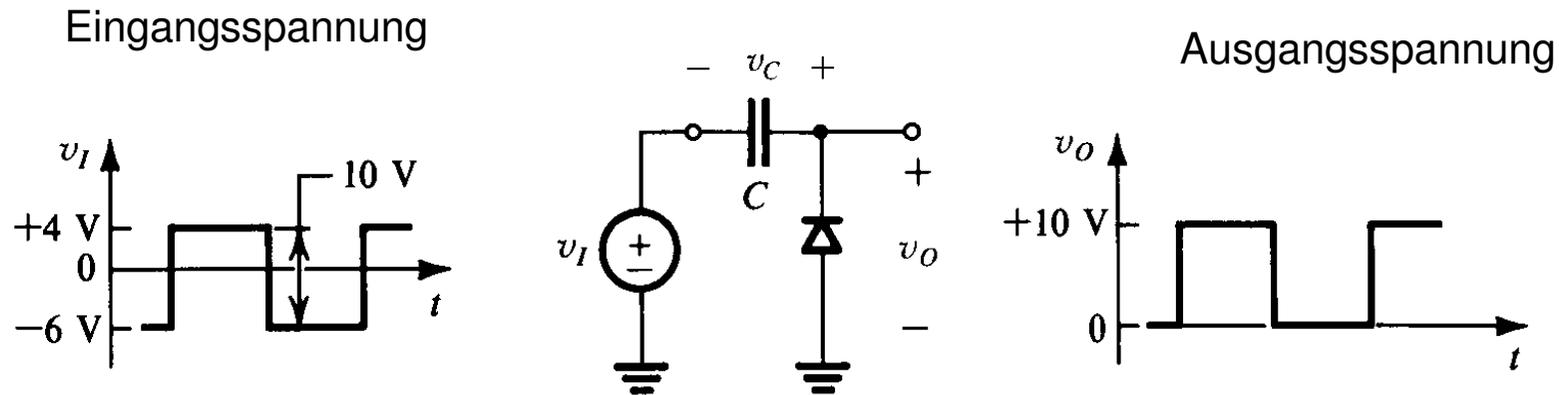
$$\text{Restwelligkeit } \Delta U = U_{A,0} \cdot (1 - e^{-t/R_L C})$$

$$\approx U_{A,0} \cdot \frac{t}{R_L C}$$

$$\approx U_{A,0} \cdot \frac{1}{f \cdot R_L C}$$

Durch Diode fließt nur kurz Strom um Kondensator wieder aufzuladen

Diode: DC-Restorer



- Während der positiven Phase leitet die Diode und die Ausgangsspannung fällt auf 0.7V ab
- Wenn die Eingangsspannung positiv ist, sperrt die Diode und der Kondensator wird auf 4V aufgeladen
- Maschenregel: $v_I + v_C - v_O = 0$
 $\Rightarrow v_O = v_I + v_C = 10V$
- Signal behält volle Amplitude, aber ist nur noch uni-polar

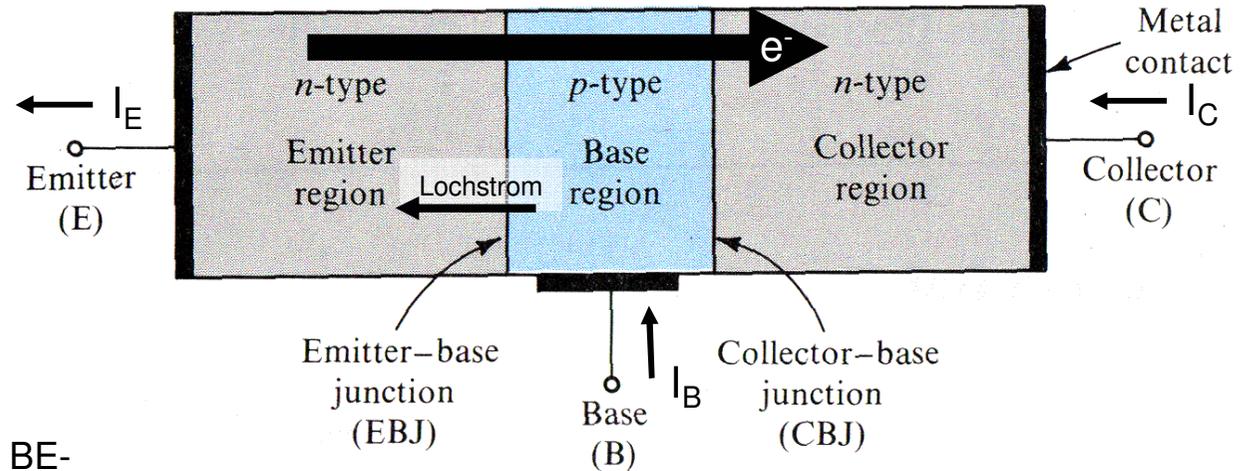
Der Transistor

“Trans-Resistance”

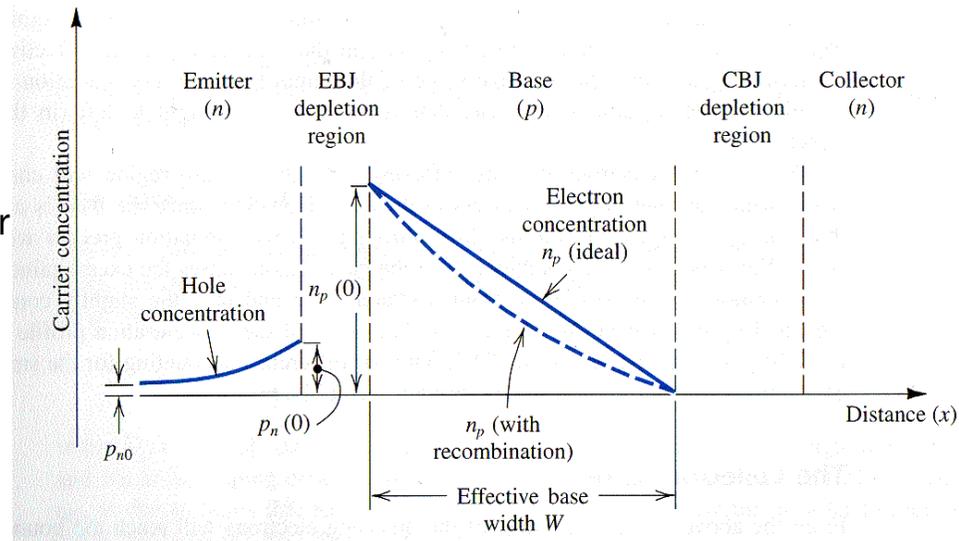
Aufbau eines “Bipolar-Junction-Transistors”

$$U_{BE} > 0V$$

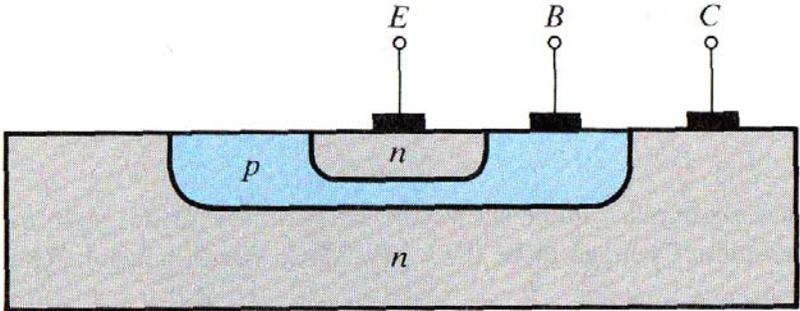
$$U_{CB} \geq 0V$$



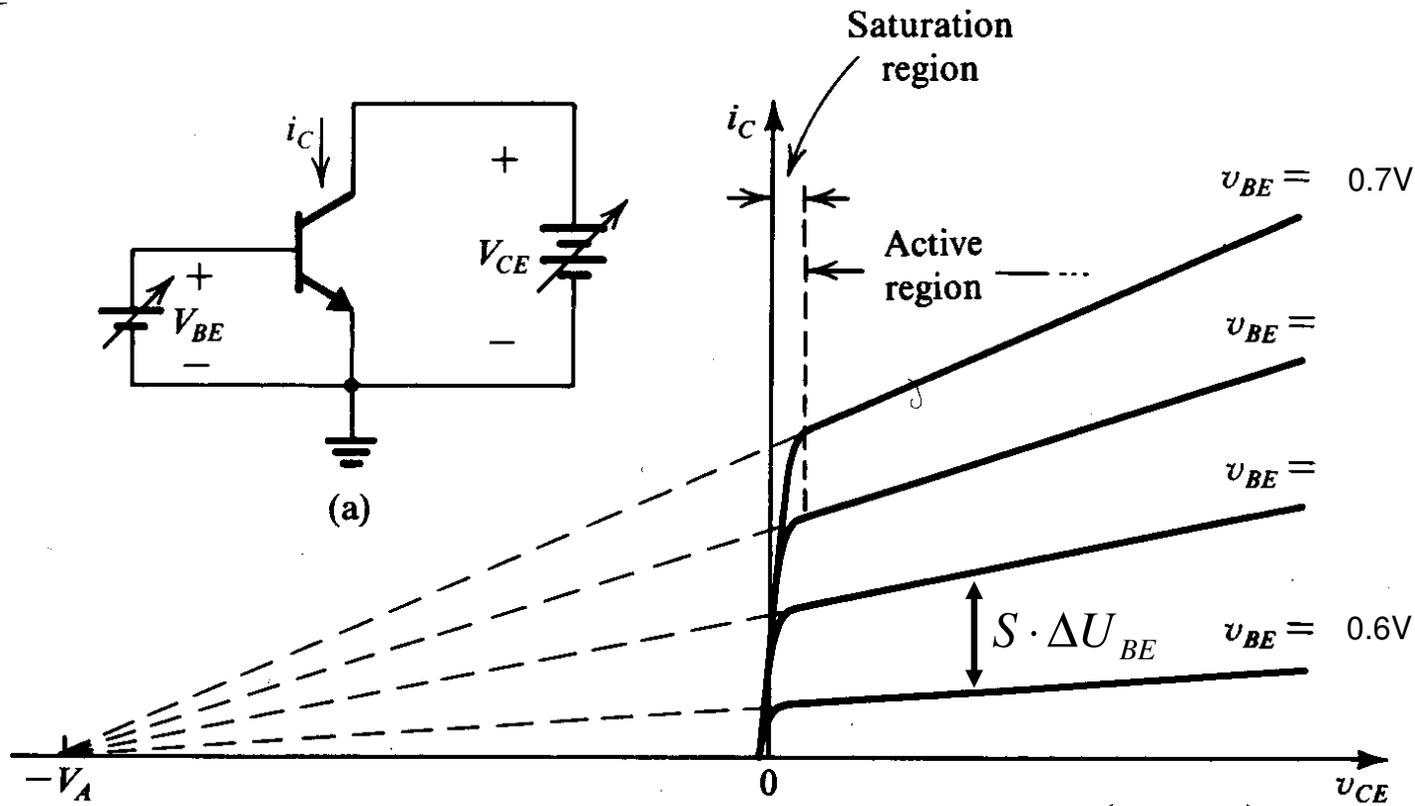
- Emitter: liefert Ladung
- Kollektor (C) sammelt Ladung
- Basis steuert BE-Diode
- Mit $U_{BE} > 0V$ fließt Strom durch BE-Diode
- Emitter stark dotiert gegenüber Kollektor (grosse Anzahl Elektronen fließen zur Basis)
- Ladungsträgergefälle über Basisbereich
- Elektronen fließen von E \rightarrow B und weiter zum C, da nur wenige im Basisbereich rekombinieren können (schwache Dotierung)
- Zwei Anteile des Basisstroms:
 1. Löcher fließen von B \rightarrow E
 2. Kompensation der Rekombination im Basisbereich



Aufbau eines bipolaren Transistors



Kennlinien eines npn-Transistors



Typisch 50-100V

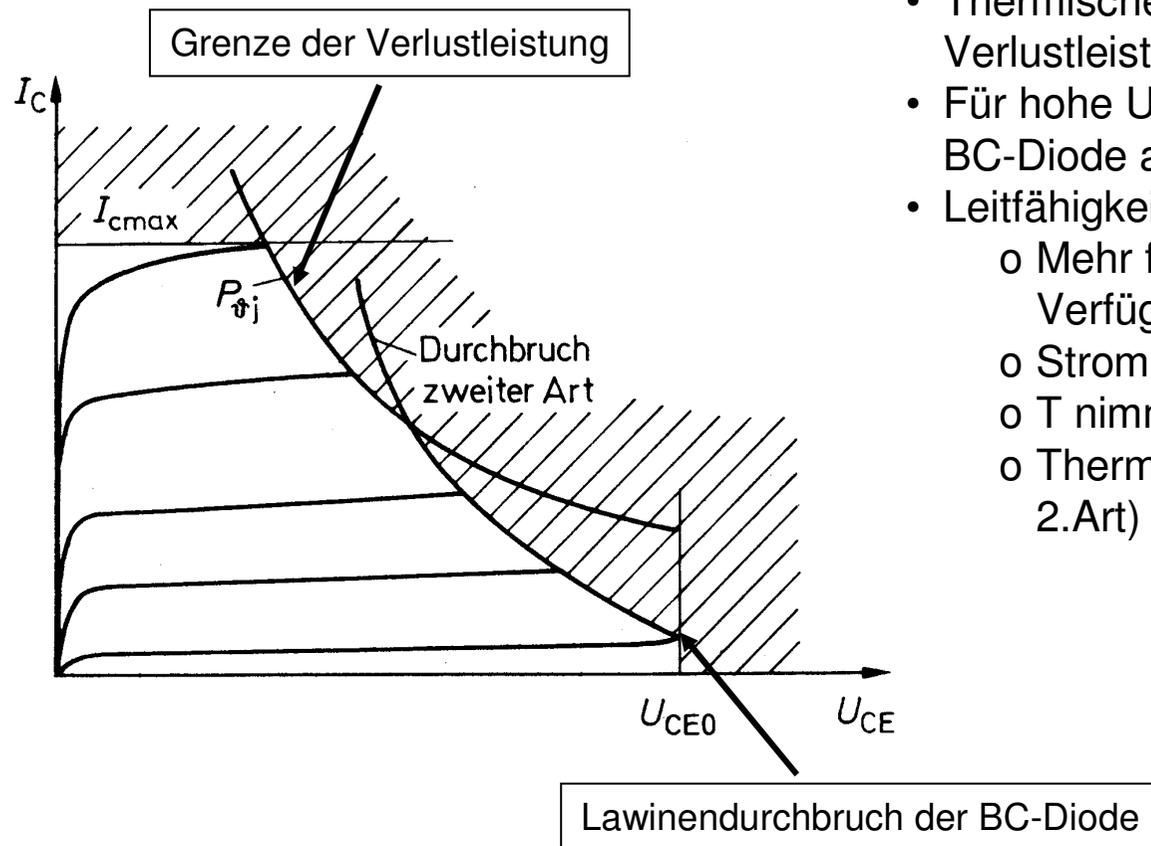
$$i_C = I_S \cdot e^{U_{BE}/U_T} \cdot \left(1 + \frac{U_{CE}}{V_A} \right)$$

$$\frac{\Delta I_C}{\Delta U_{CE}} \propto \frac{1}{V_A}$$

$$S = \left. \frac{\partial I_C}{\partial U_{BE}} \right|_{U_{CE}=\text{const}}$$

Steilheit

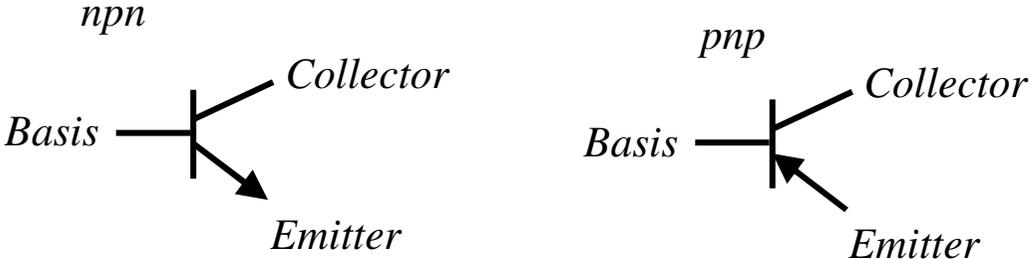
Grenzdaten eines Transistors



- Dotierung des Emitter-Materials definiert Ladungsmenge im Basis-Bereich und damit den max. Kollektorstrom
- Thermische Zerstörung bei zu hoher Verlustleistung ($T > 120^\circ\text{C}$)
- Für hohe U_{CE} tritt Lawinendurchbruch der BC-Diode auf
- Leitfähigkeit des Siliziums nimmt mit T zu
 - o Mehr freie Ladungsträger stehen zur Verfügung
 - o Strom steigt an
 - o T nimmt zu
 - o Thermische Zerstörung (Durchbruch 2. Art)

Übersicht Bipolar-Junction-Transistor (BJT)

Schaltsymbol:



Collector-Strom:

$$I_C = I_s \cdot e^{U_{BE}/U_T}$$

Basis-Strom:

$$I_B = \frac{I_C}{\beta} = \frac{I_s}{\beta} \cdot e^{U_{BE}/U_T}$$

Emitter-Strom:

$$I_E = \frac{I_C}{\alpha} = \frac{I_s}{\alpha} \cdot e^{U_{BE}/U_T} \quad \alpha = \frac{\beta}{\beta + 1}$$

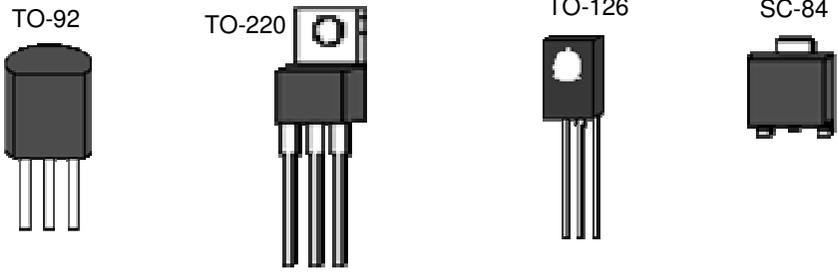
Stromverstärkung:

$$\beta = \frac{I_C}{I_B}$$

Steilheit:

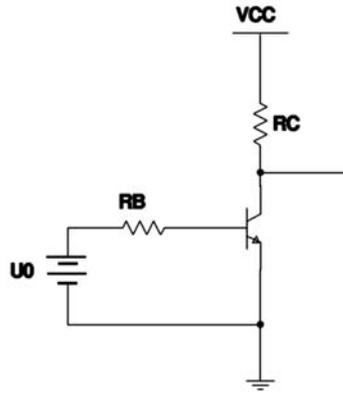
$$S = \frac{\partial I_C}{\partial U_{BE}} = \frac{I_s}{U_T} e^{U_{BE}/U_T}$$

Gehäuse:

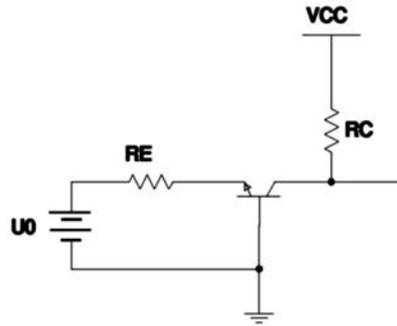


Transistor-Grundsaltungen

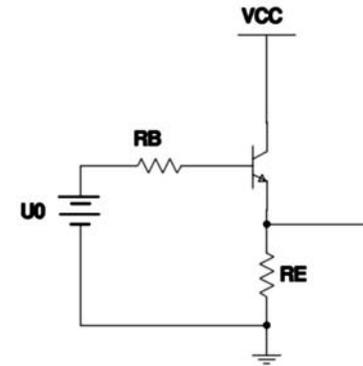
Emitterschaltung



Basisschaltung



Kollektorschaltung



Verstärkung

$$A \approx -S \cdot R_C = -R_C \cdot \frac{I_C}{U_T}$$

Eingangswiderstand

$$r_e = \frac{\beta}{S} = \beta \cdot \frac{U_T}{I_C}$$

Ausgangswiderstand

$$r_a = \frac{R_C \cdot r_{CE}}{R_C + r_{CE}} \approx R_C$$

für $R_C \ll r_{CE}$

$$A \approx S \cdot R_C = R_C \cdot \frac{I_C}{U_T}$$

$$r_e = \frac{1}{S} = \frac{U_T}{I_C}$$

$$r_a = \frac{R_C \cdot r_{CE}}{R_C + r_{CE}} \approx R_C$$

für kleine R_C und $R_C \ll r_{CE}$

$$A \approx 1$$

$$r_e \approx r_{BE} (1 + S \cdot R_E) = r_{BE} + \beta \cdot R_E \approx \beta \cdot R_E$$

$$r_a = \left(\frac{1}{S} + \frac{R_B}{\beta} \right) \parallel R_E \approx \frac{1}{S} = \frac{U_T}{I_C}$$

für kleine R_B und $R_E \ll r_{CE}$

Eigenschaften

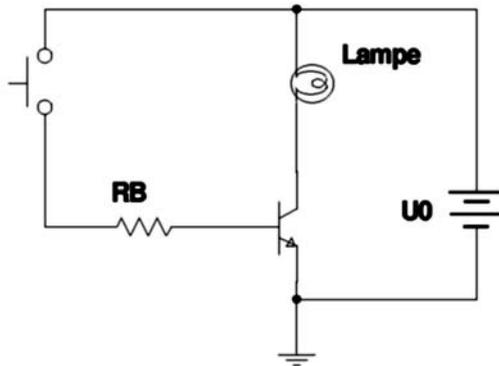
Grosse Verstärkung

Grosse Verstärkung
auch bei hohen Frequenzen

keine Spannungsverstärkung
 r_e/r_a sehr gross
(Impedanzwandler)

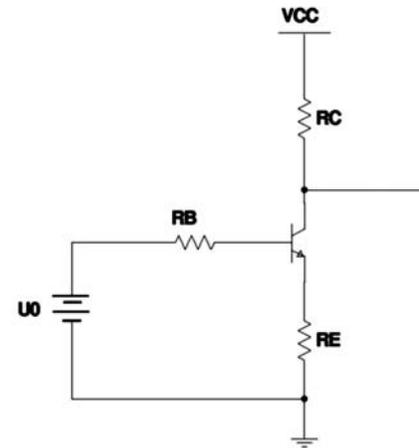
Transistor-Schaltungen

Transistor als Schalter
(Sättigungsbetrieb)



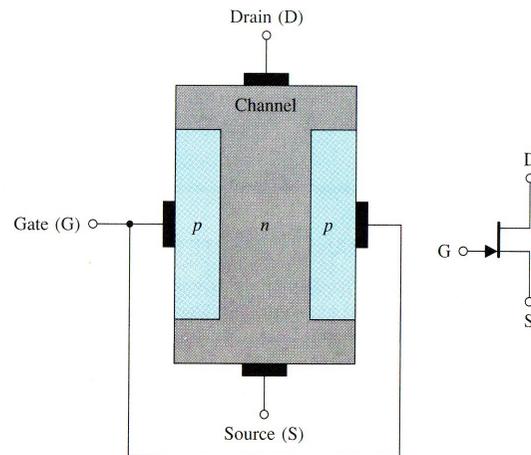
- Schalter geschlossen $\rightarrow U_{BE} \gg 0,7V$
- Kollektorstrom sättigt
- Maximaler Basisstrom fließt
- Maximaler Kollektorstrom fließt
- U_{CE} wird klein ca. $0,2V$
- Stromverstärkung spielt (fast) keine Rolle

Transistor als Verstärker
(möglichst linear Kennlinie)



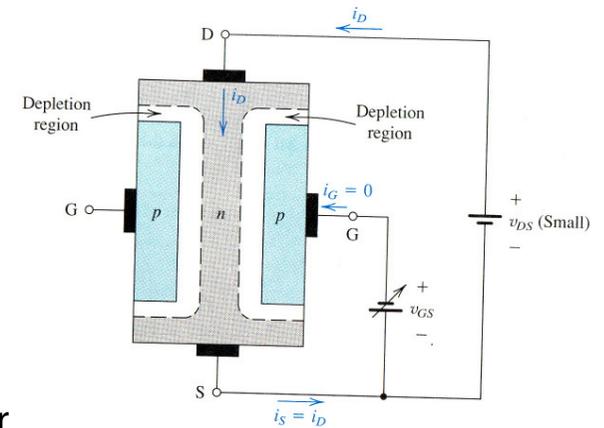
- Wähle Arbeitspunkt in der Mitte der Kennlinie (1/2 Kollektorstrom)
- Basisstrom dadurch festgelegt: $I_B = I_C / \beta$
- Wähle R_B entsprechend, oder stelle Arbeitspunkt an Basis über Spannungsteiler ein
- Verstärkung: $A = -R_C / R_E$ (fast) unabhängig von Transistorparametern

Aufbau

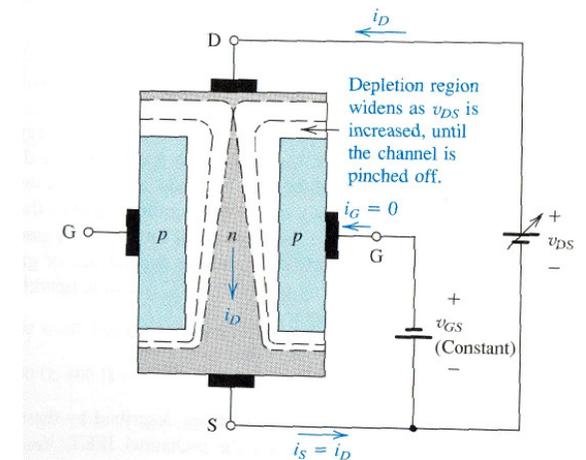


Aufbau eines Junction-FETs

Kleine Drain-Source Spannung:
Depletion Zone an beiden pn-Übergängen. Leitungskanal von Drain zur Source konstant breit. Strom wird durch Gate-Spannung geregelt. Strom fließt bereits bei $v_{GS}=0$. Durch negative Gate Spannung wird Verarmungszone breiter \rightarrow Leitungskanal wird kleiner und der Strom sinkt.



Hohe Drain-Source Spannung:
 Drain-Spannung führt zur Vergrößerung der Verarmungszone im Bereich des Drain-Anschlusses. Der Leitungskanal wird abgeschnürt. Der Strom kann nicht mehr steigen.



Aufbau eines NMOS FET

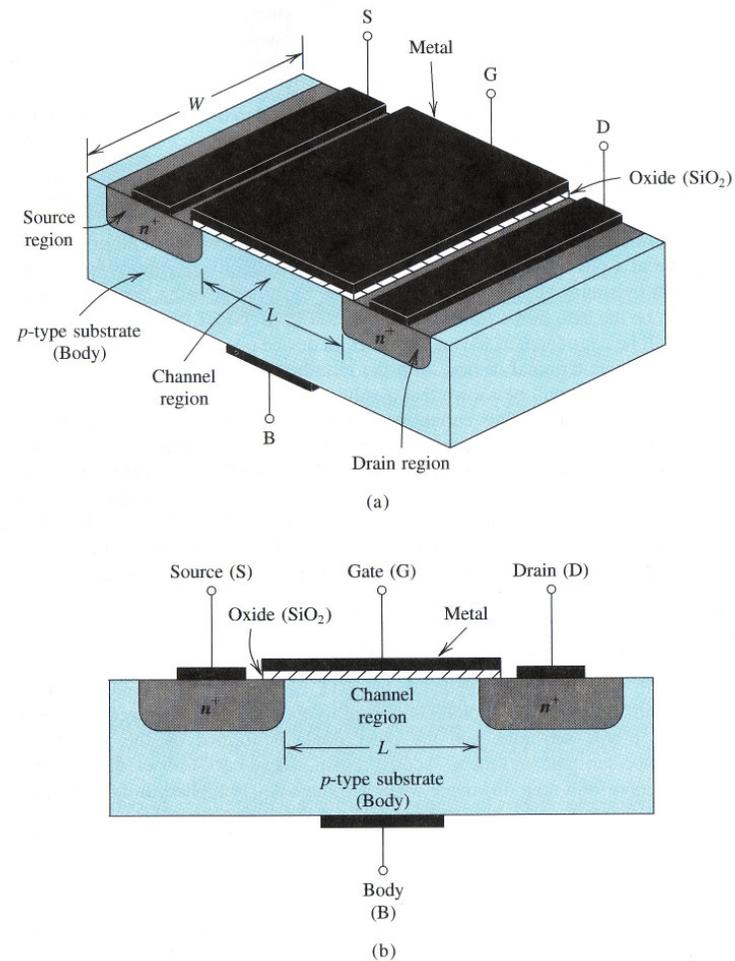
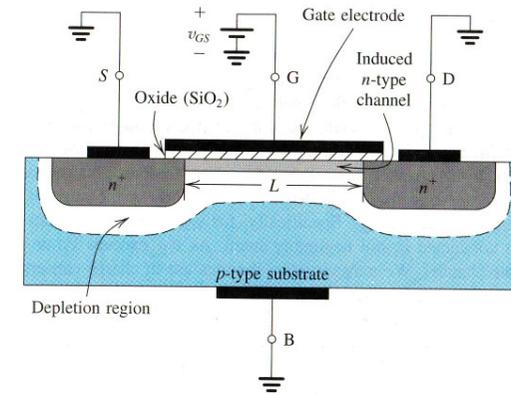


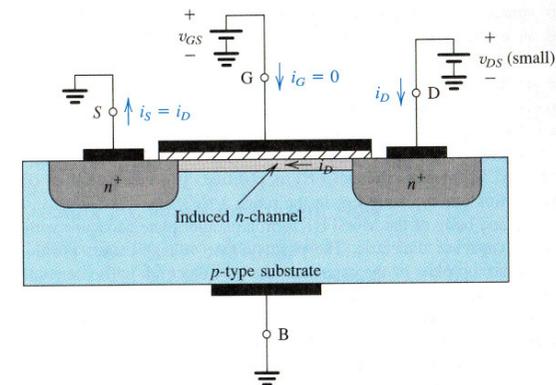
Fig. 5.1 Physical structure of the enhancement-type NMOS transistor: **(a)** perspective view; **(b)** cross section. Typically $L = 1$ to $10 \mu\text{m}$, $W = 2$ to $500 \mu\text{m}$, and the thickness of the oxide layer is in the range 0.02 to $0.1 \mu\text{m}$.

Funktion eines NMOS FET

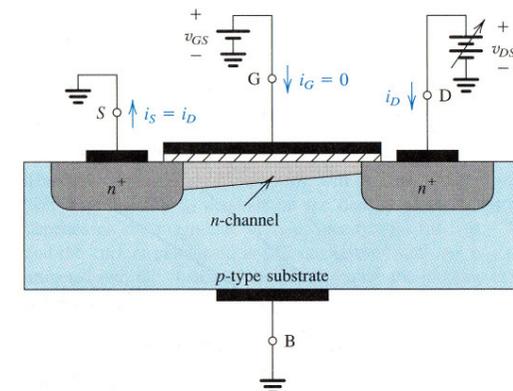
Positive Spannung am Gate: Löcher im p-dotierten Substrat werden durch das elektrische Feld im Bereich des Gates verdrängt. Elektronen aus stark n-dotierten Drain und Source Bereich werden in den Bereich gezogen.



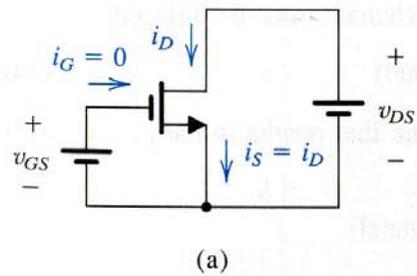
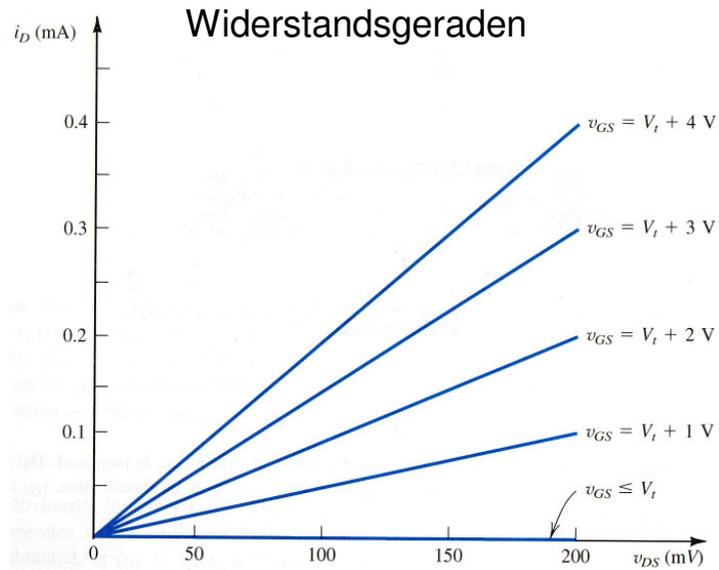
Kleine (positive) Spannung an Drain: Spannungsgefälle zwischen Source und Drain führt zu einem Strom durch den n-leitenden Kanal. Dieser Strom hängt von der Ladungsträgerdichte im Kanal ab. Diese kann durch v_{GS} beeinflusst werden. FET reagiert wie ein regelbarer Widerstand.



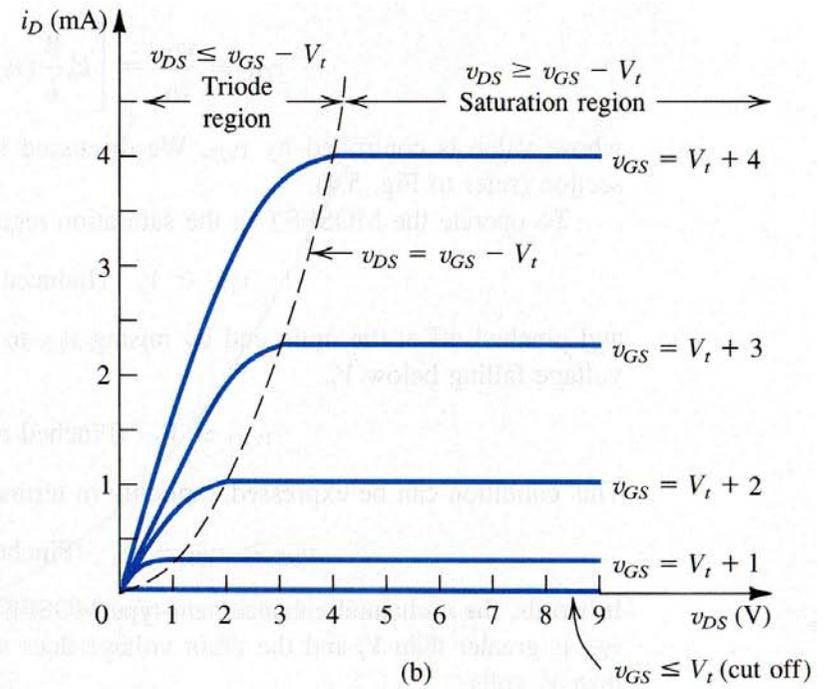
Hohe Spannung an Drain: Die Drain-Source Spannung fällt über dem n-Kanal ab. Damit ändert sich die Feldstärke, die den Kanal aufrechterhält von Source (v_{GS}) nach Drain ($v_{GS} - v_{DS}$). Bei einer bestimmten Drain Spannung geht der Kanaldurchmesser am Drain-Anschluss auf null zurück ("Pinch-Off-Spannung"). Bei diesem Punkt wird der maximale Strom erreicht (Sättigungsbereich).



Kennlinien eines FETs



Kennlinie



CMOS Technologie

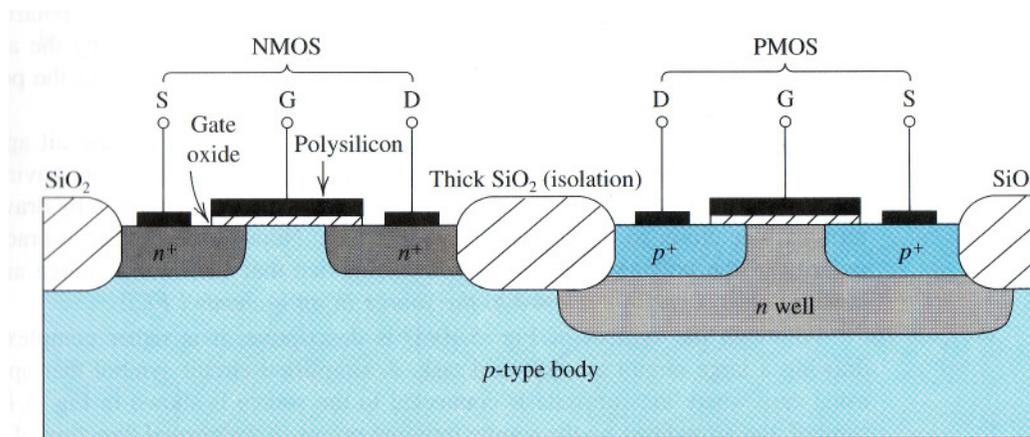


Fig. 5.9 Cross section of a CMOS integrated circuit. Note that the PMOS transistor is formed in a separate *n*-type region, known as an *n* well. Another arrangement is also possible in which an *n*-type body is used and the *n* device is formed in a *p* well.

Operationsverstärker: LM741

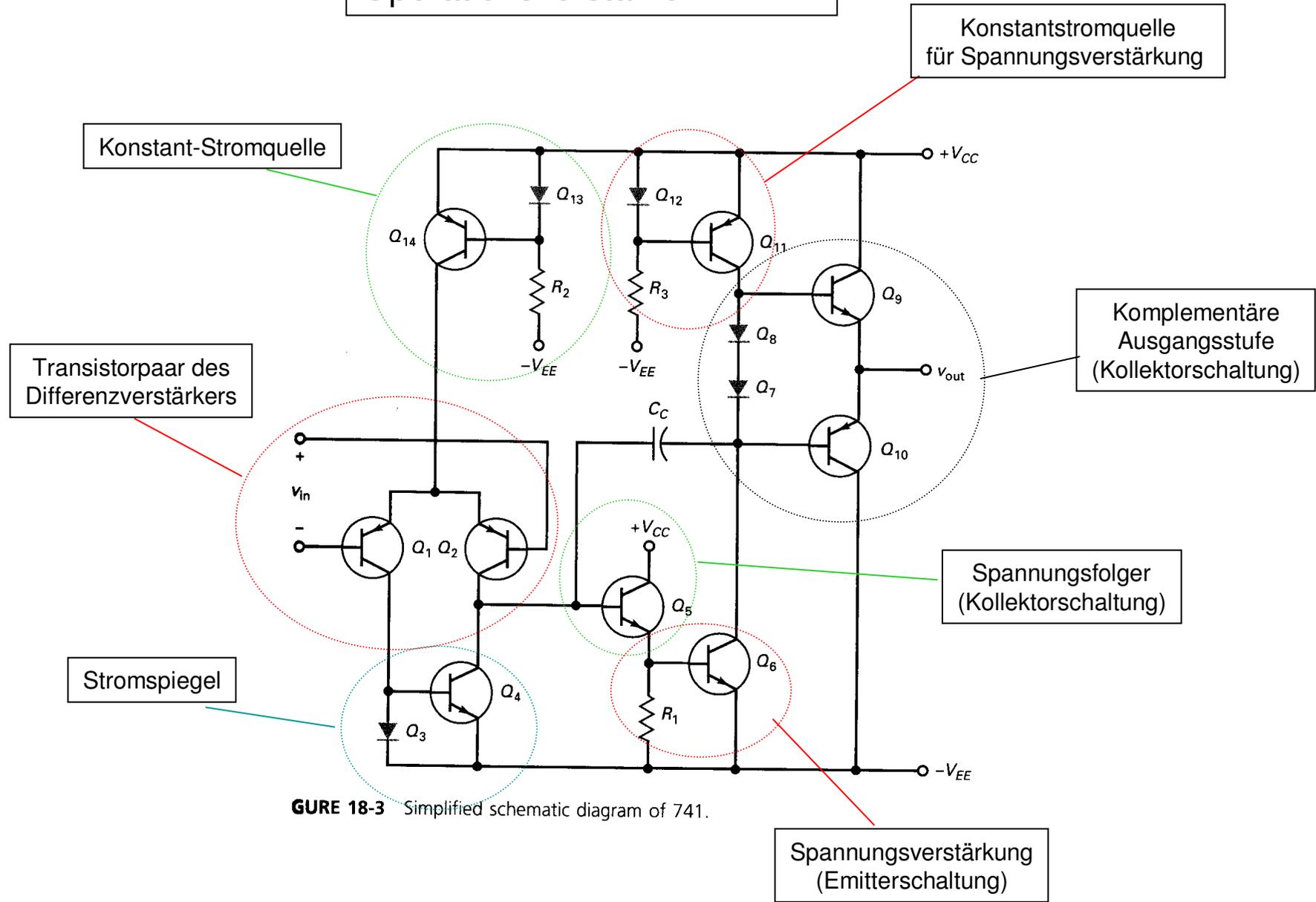
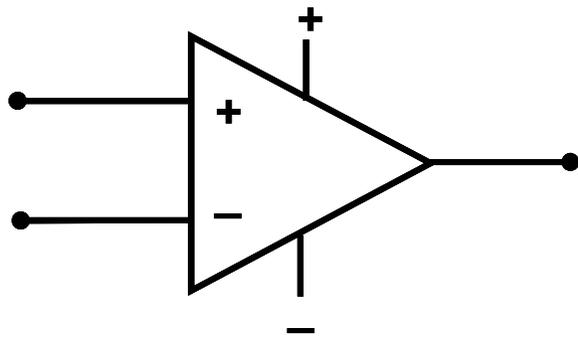


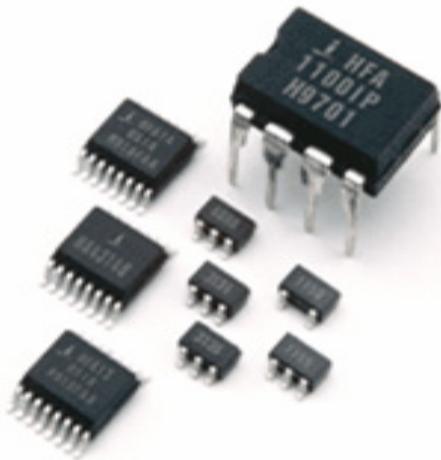
FIGURE 18-3 Simplified schematic diagram of 741.

Operationsverstärker

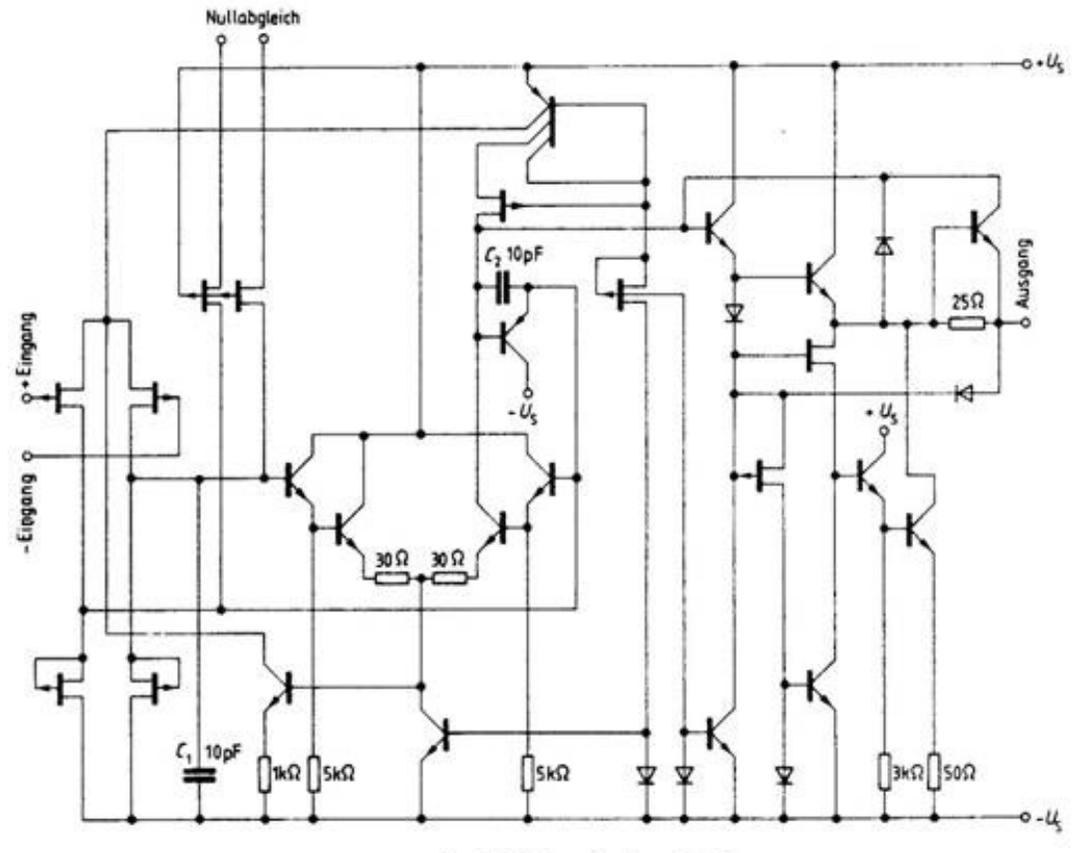
Symbol



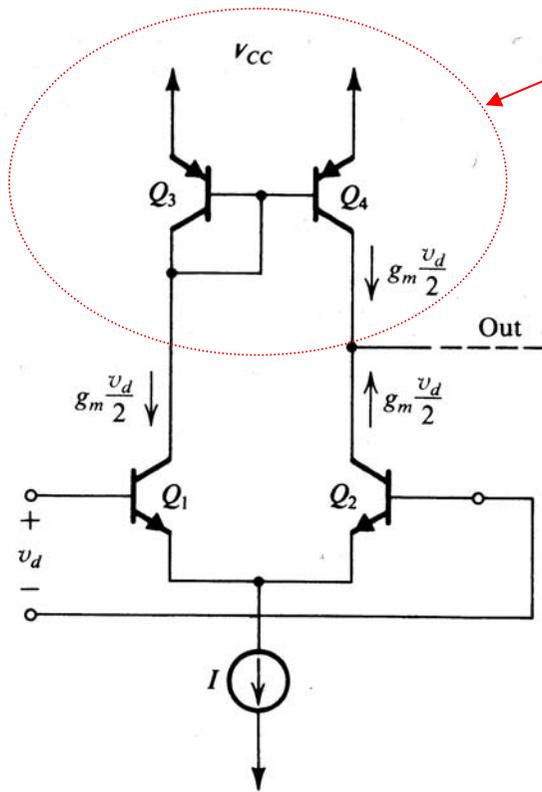
Gehäuse



Innenleben



Differenzverstärker mit aktiver Last



Stromspiegel als aktive Last

Fig. 6.25 A differential amplifier with an active load.

$$g_m = \frac{I_c}{U_T} = \frac{1}{r_e}$$

Kurzgeschlossener Eingang:

$$I_{C,Q_1} = \frac{I}{2}$$

$$I_{C,Q_3} = \frac{I}{2} \Rightarrow I_{C,Q_4} = \frac{I}{2} = I_{C,Q_2}$$

d.h. Ausgangsstrom = 0 !

Eingangssignal $\neq 0$:

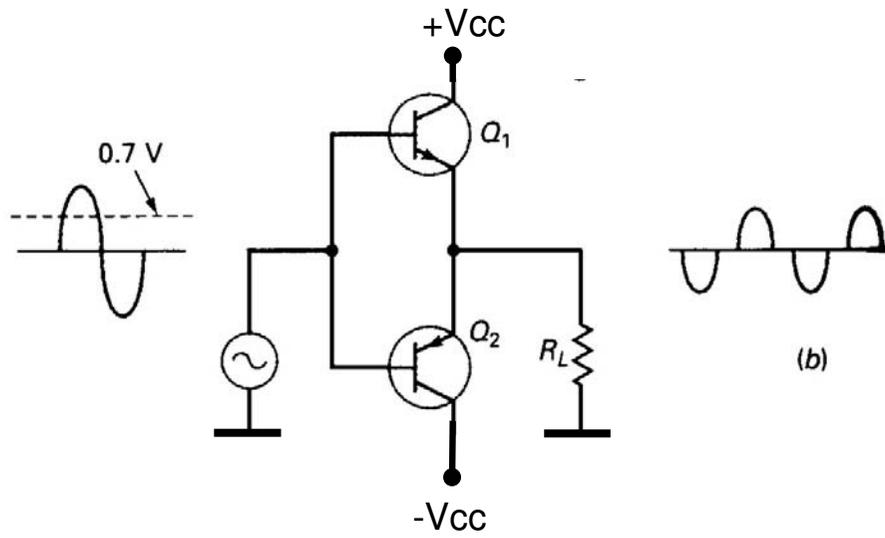
$$\Delta I_{C,Q_1} = g_m \frac{v_d}{2} = \Delta I_{C,Q_3} = \Delta I_{C,Q_4} = -\Delta I_{C,Q_2}$$

$$\Rightarrow I_{Out} = g_m v_d$$

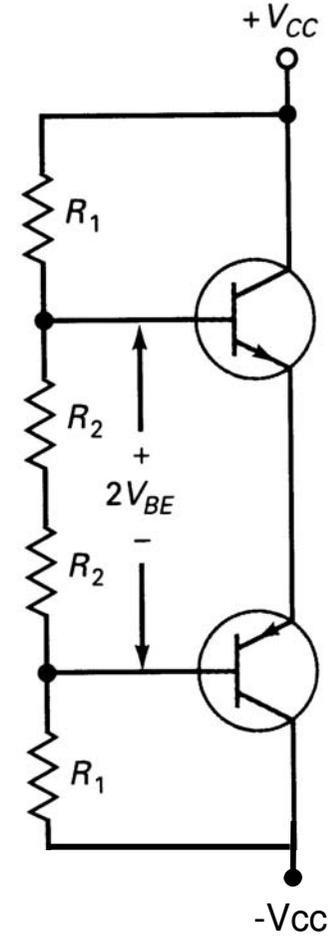
Ausgangswiderstand: $r_{Out} = r_{0,Q_2} \parallel r_{0,Q_4}$; $r_{0,Q} = \frac{U_A}{I_C} \Rightarrow g_m \cdot r_{Out} = \frac{U_A}{U_T}$

Verstärkung: typisch 2000

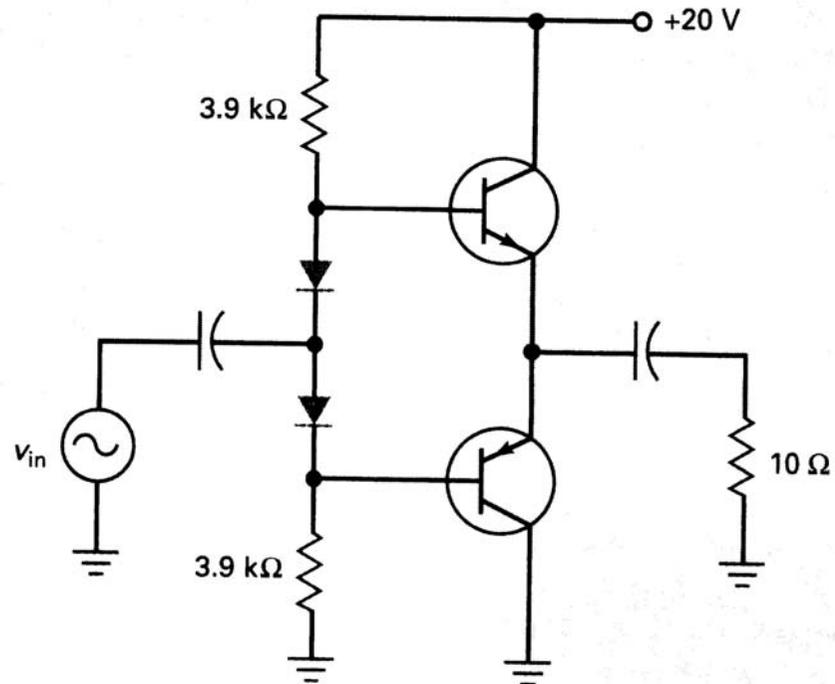
Class B Ausgangsstufe



Class AB Ausgangsstufe (mit Basis Vorspannung)



**Class AB Ausgangsstufe
(mit Basis Vorspannung durch Dioden)**



Bandbreite von Operationsverstärkern

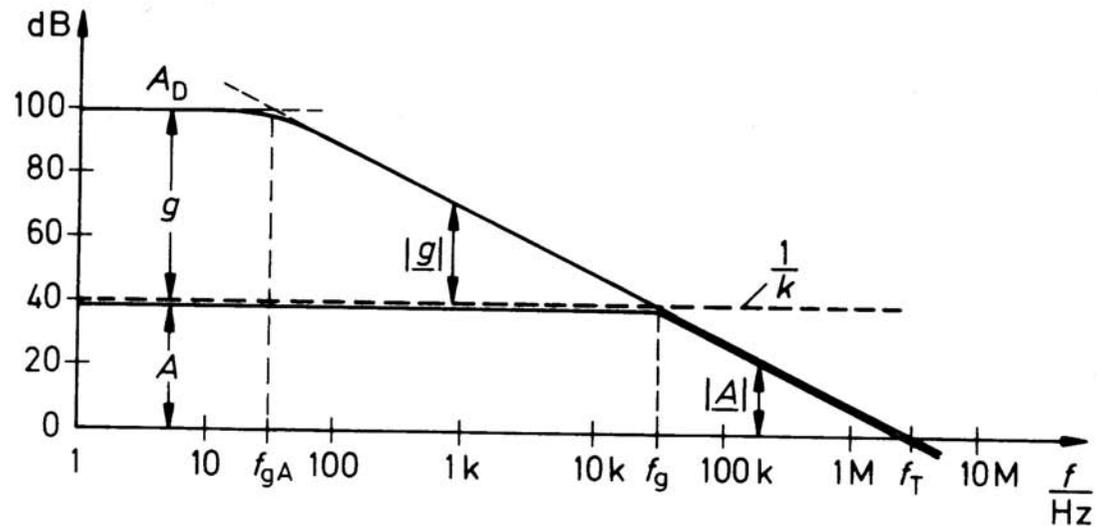


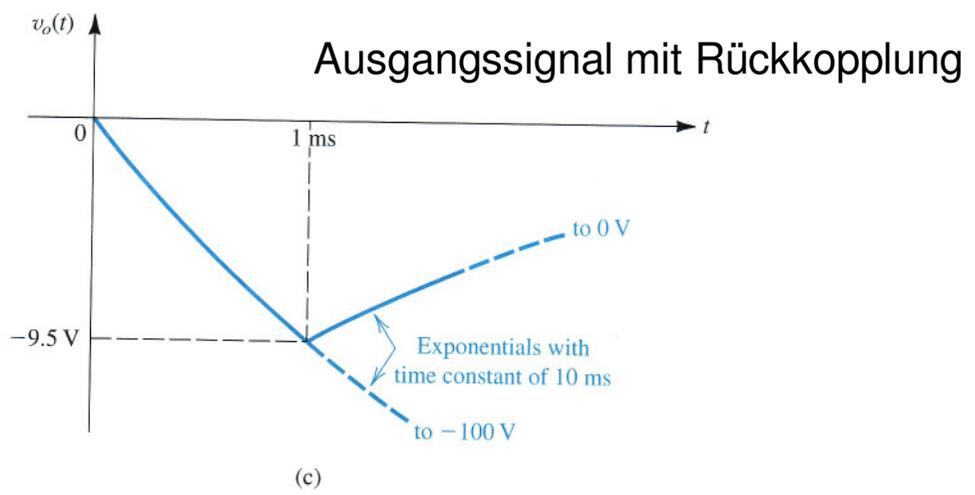
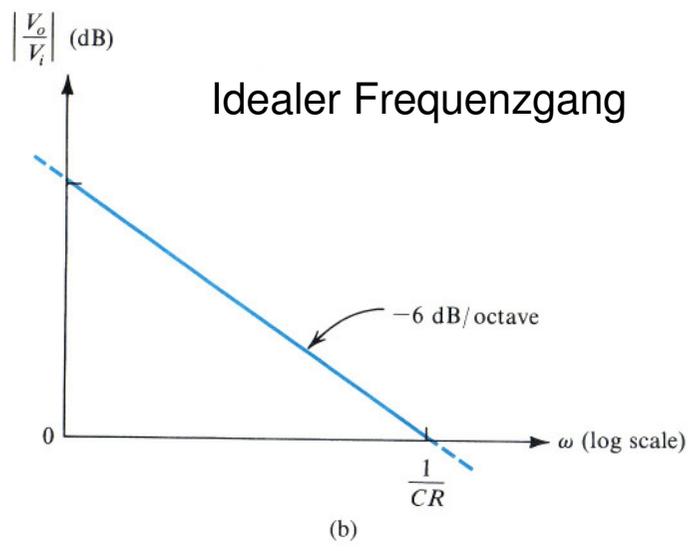
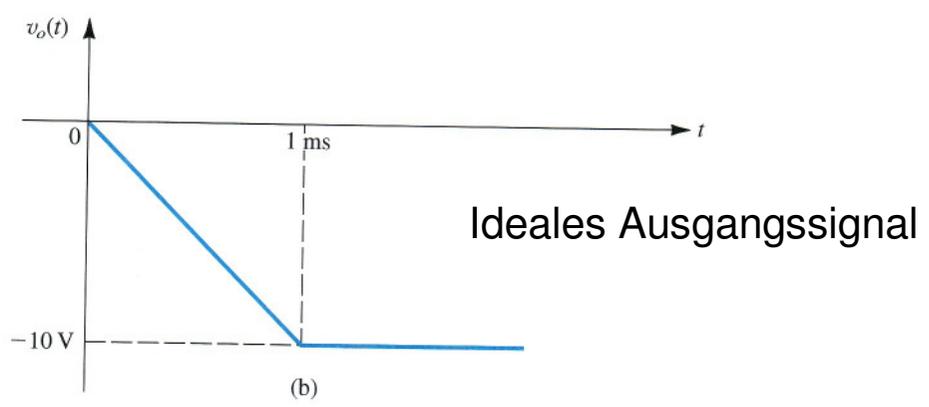
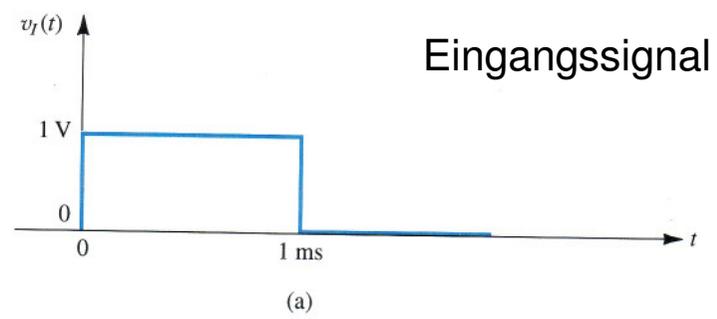
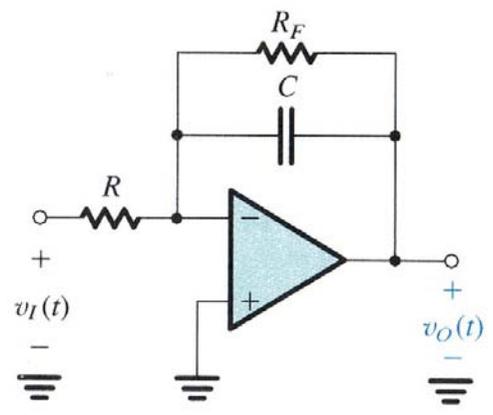
Abb. 7.9 Erhöhung der Bandbreite durch Gegenkopplung

f_T : Transferfrequenz d.h. Bandbreite x Verstärkung

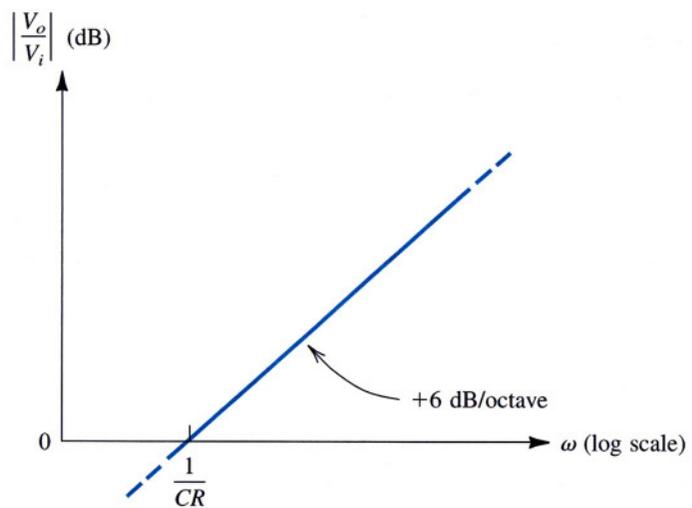
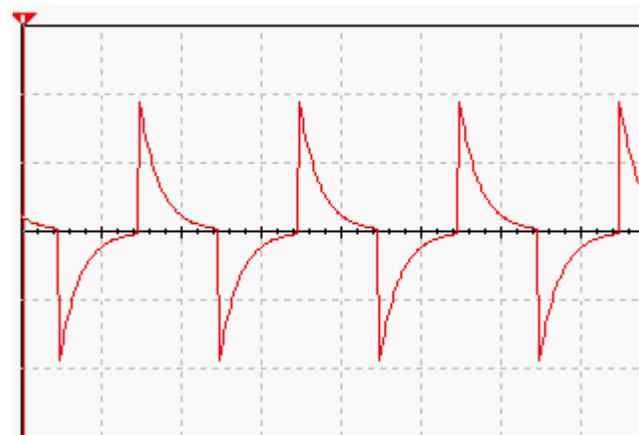
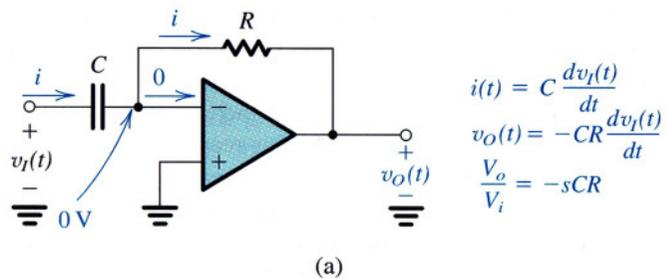
f_g : Grenzfrequenz (-3dB)

k : Verstärkungsfaktor

Integrator

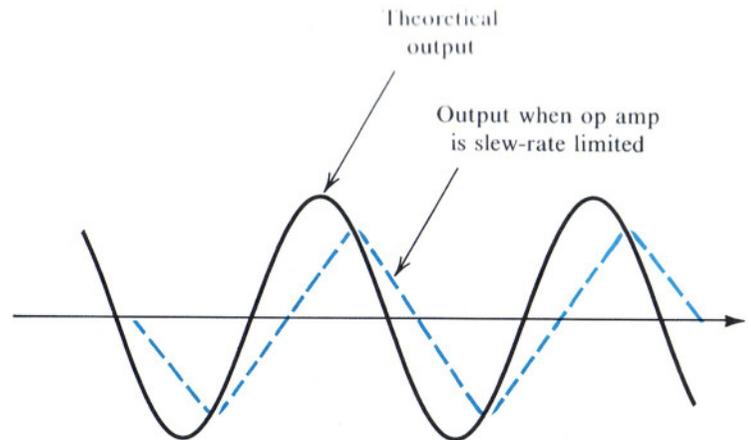


Differenzierer

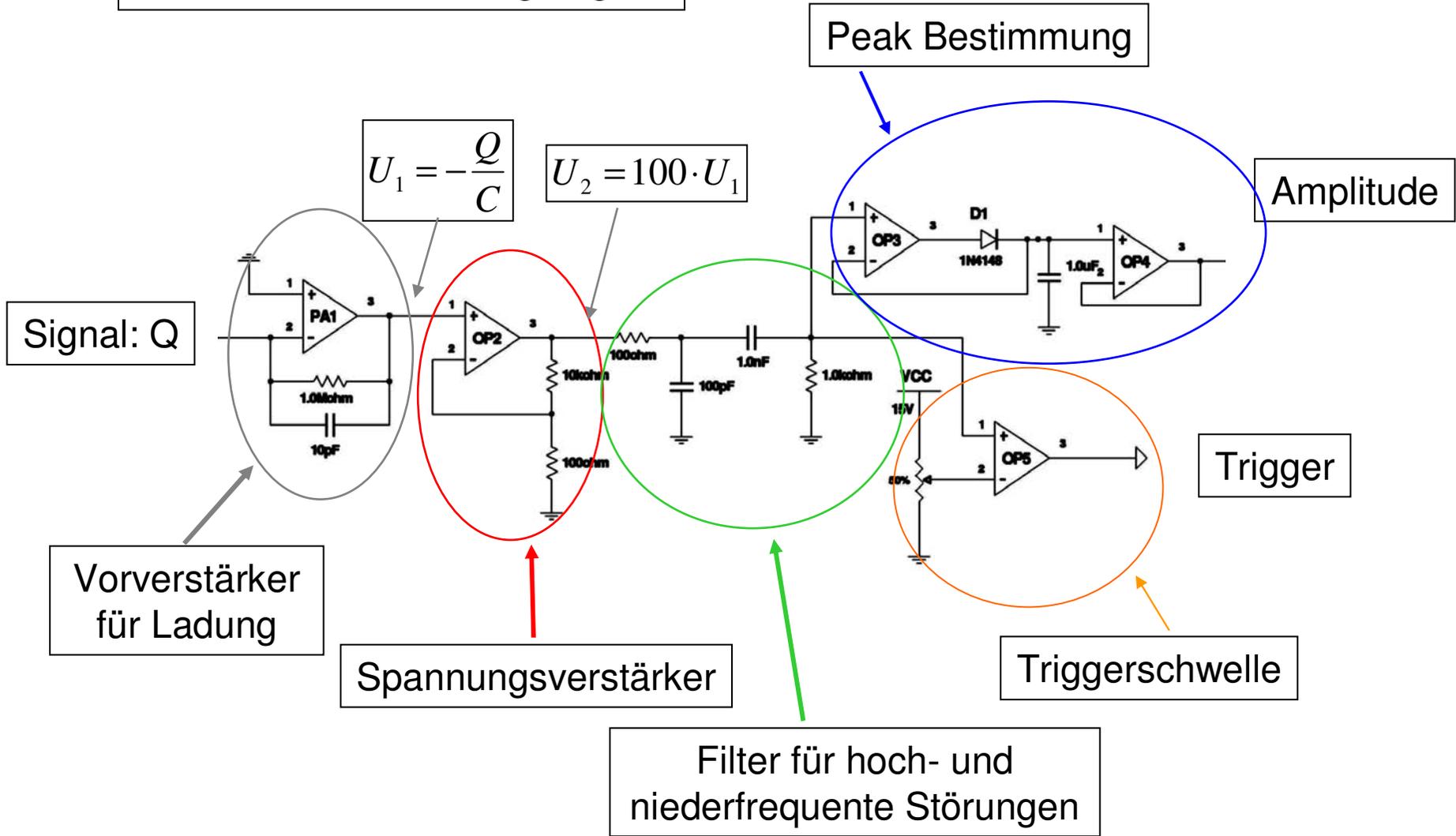


Slew Rate

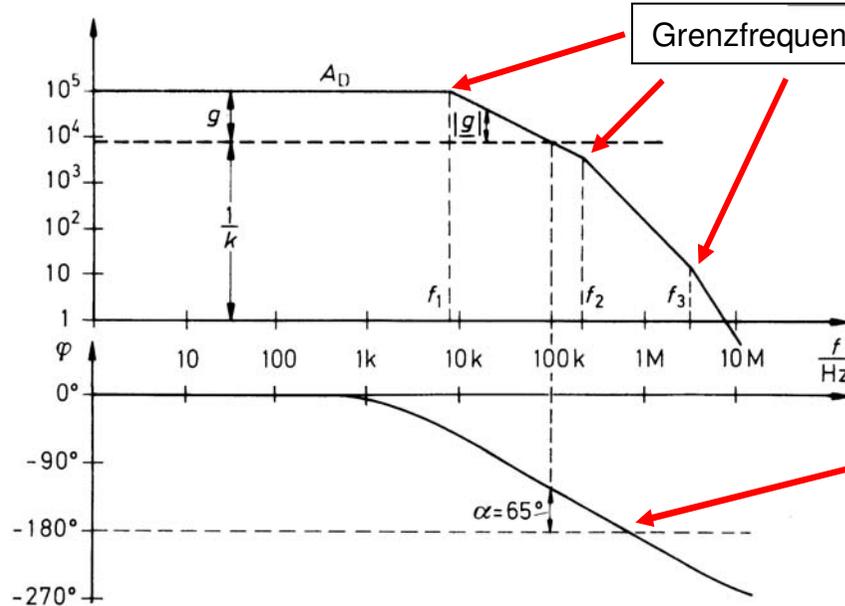
- Slew Rate ist die maximale Anstiegszeit des Ausgangssignals in Volt/ μ sec
- Falls Eingangssignal schneller als Slew Rate ansteigt, kann Ausgang diesem nicht folgen:



Messkette für Ladungssignal



Bode Diagramm eines realen Operationsverstärkers



Grenzfrequenzen verschiedener Stufen

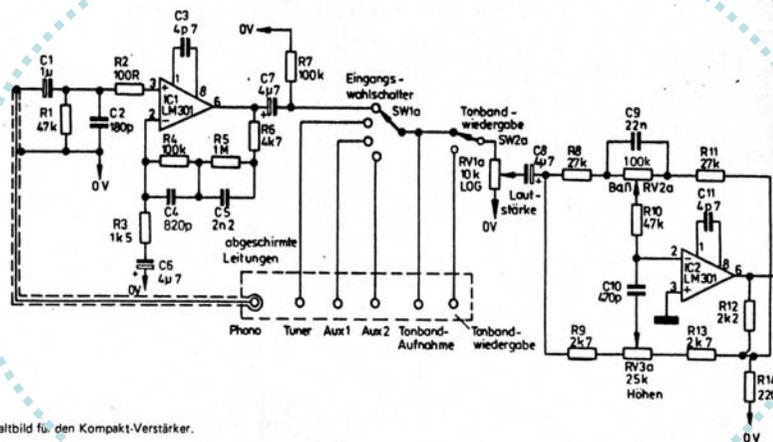
Invertierender und nicht-inv. Eingang vertauschen Rolle !!
d.h. Rückkopplung wird zur Mitkopplung und der Verstärker wird instabil

Abb. 7.22 Typisches Bode-Diagramm der Differenzverstärkung eines Operationsverstärkers

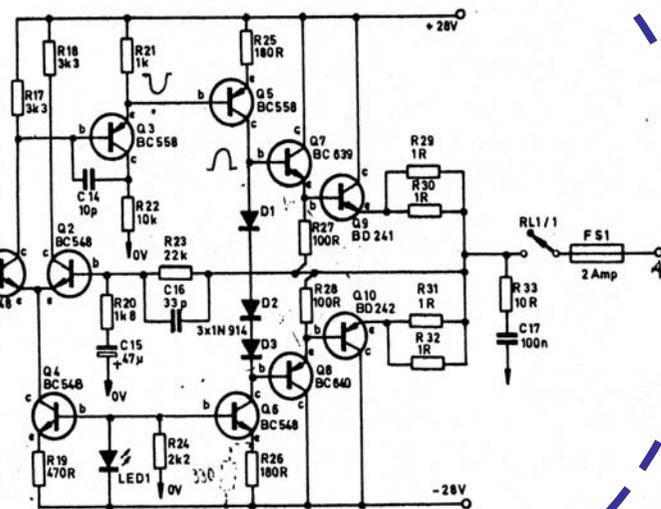
Einfacher HiFi-Verstärker mit 2 x 30W

Vorverstärker

Endstufe



Schaltbild für den Kompakt-Verstärker.

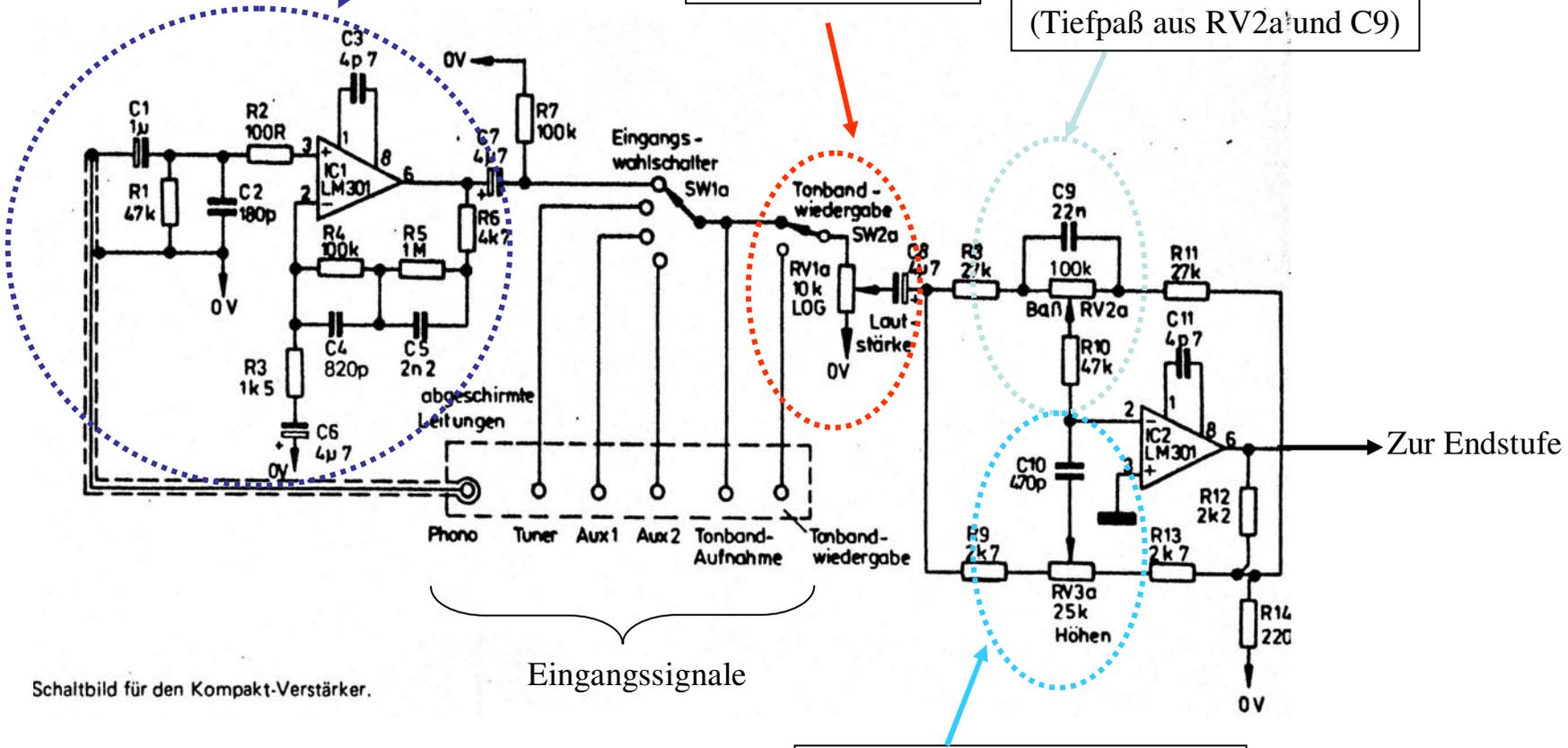


Vorverstärker (1 Kanal)

Phono-Vorverstärker mit RIAA Filter

Lautstärkeregelung

Baßregelung (Tiefpaß aus RV2a und C9)



Schaltbild für den Kompakt-Verstärker.

Eingangssignale

Höhenregelung (Hochpass aus RV3a und C10)

Endstufe (1 Kanal)

Differenzverstärker mit Stromquelle

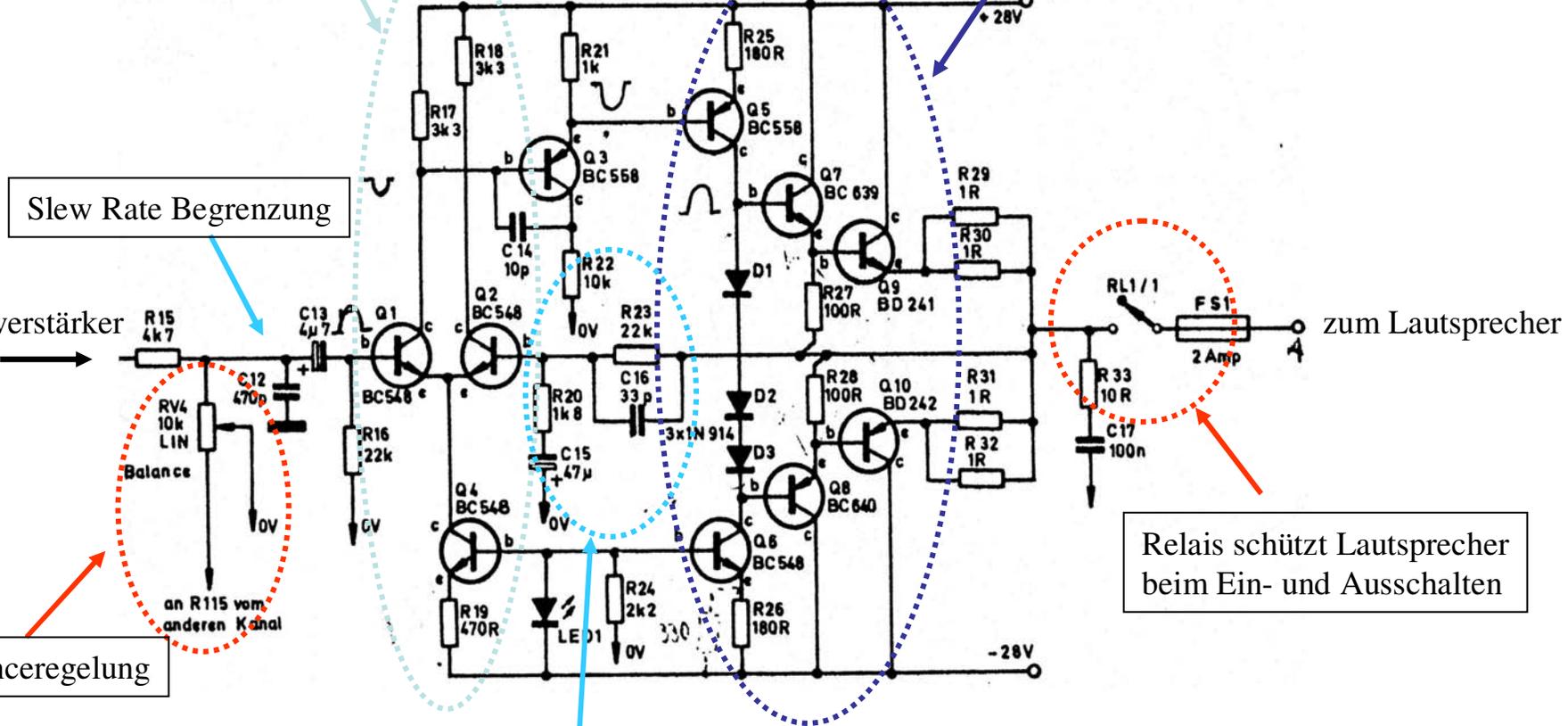
Class AB Verstärker mit Darlingtonstufe

Slew Rate Begrenzung

vom Vorverstärker

Balance
an R115 vom anderen Kanal

Balanceregulierung



Relais schützt Lautsprecher beim Ein- und Ausschalten

Spannungsrückkopplung $1.8k/22k=0.08$ (Verstärkung 12.5)
(frequenzabhängig wg. C16 und C15 → geringe Verstärkung oberhalb 30kHz)

Transformatoren

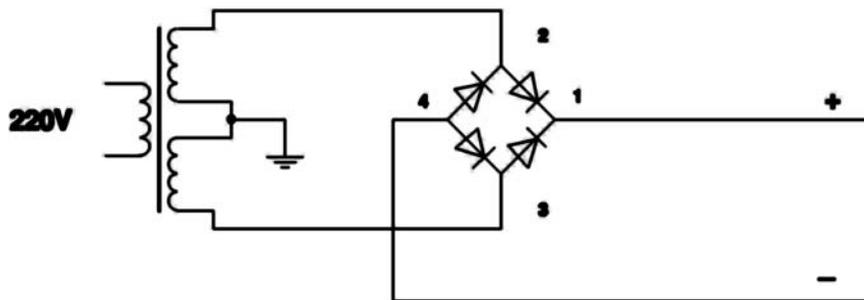
$$\text{Sekundärspannung : } U_{\text{Sekundär}} = \frac{N_{\text{Sekundär}}}{N_{\text{Primär}}} \cdot U_{\text{Primär}}$$

Innenwiderstand hängt von Anzahl der Wicklungen und Drahtdurchmesser ab

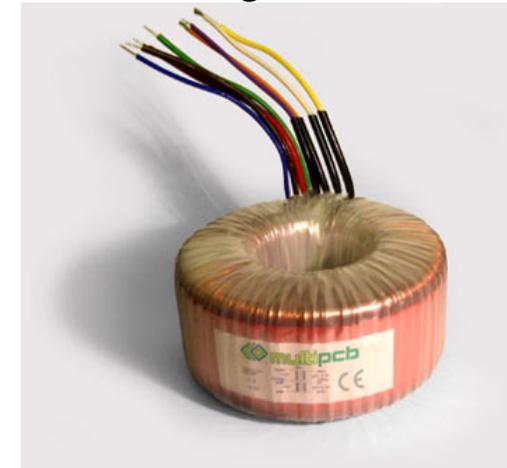
$$\text{Innenwiderstand : } R_i = \frac{U_{\text{Leerlauf}} - U_{\text{Nennlast}}}{I_{\text{Nennlast}}}$$

Trafo mit zwei Sekundärwicklungen

- positive und negative Spannung
- Mittelabgriff legt Massepotential fest

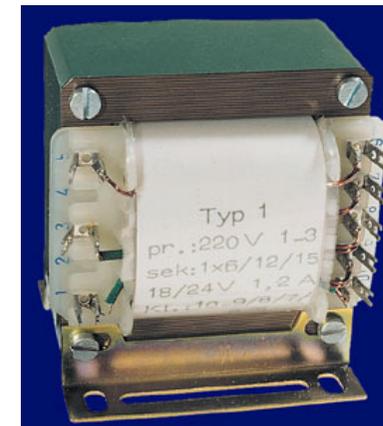


Ringkern



Geringes Streufeld

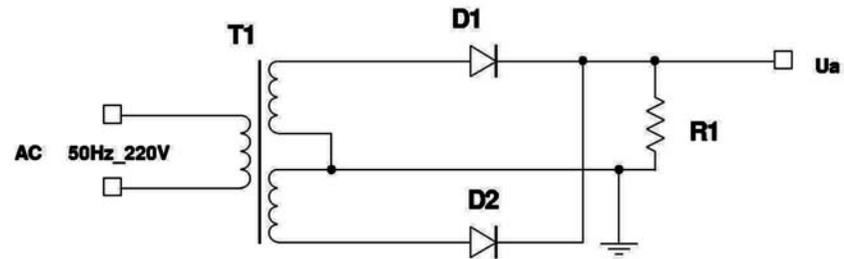
Mantelkern



günstig

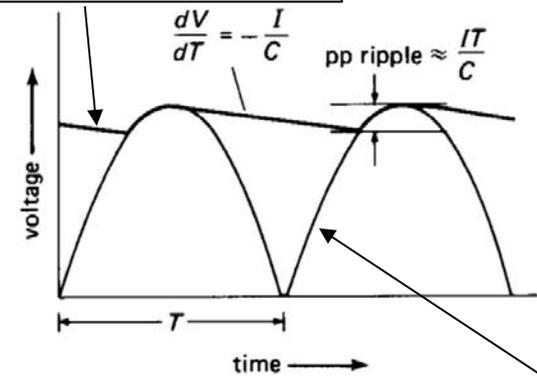
Erzeugung von Gleichspannung

Doppelweggleichrichter



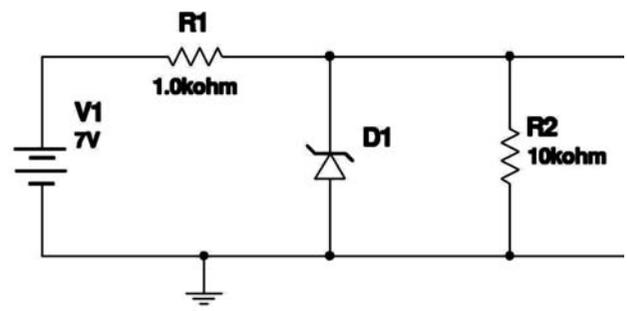
Spannungsverlauf

mit Glättungskondensator



Ohne Glättungskondensator

Stabilisierung mit Zener Diode

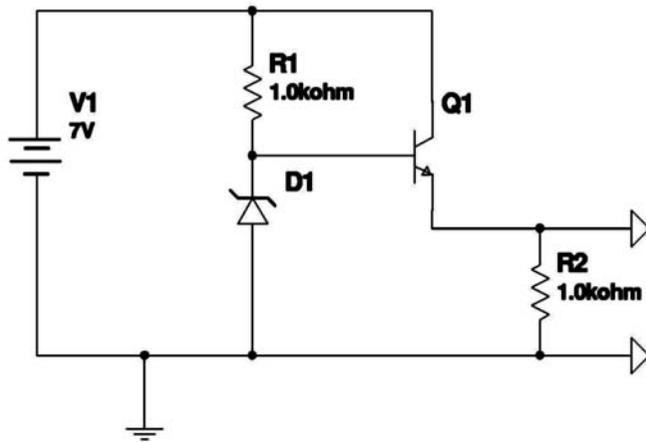


Grenze der Belastbarkeit

- Spannungsabfall über R1 nimmt mit Strom zu
- R1/R2 bilden Spannungsteiler
- Diode nur bedingt belastbar

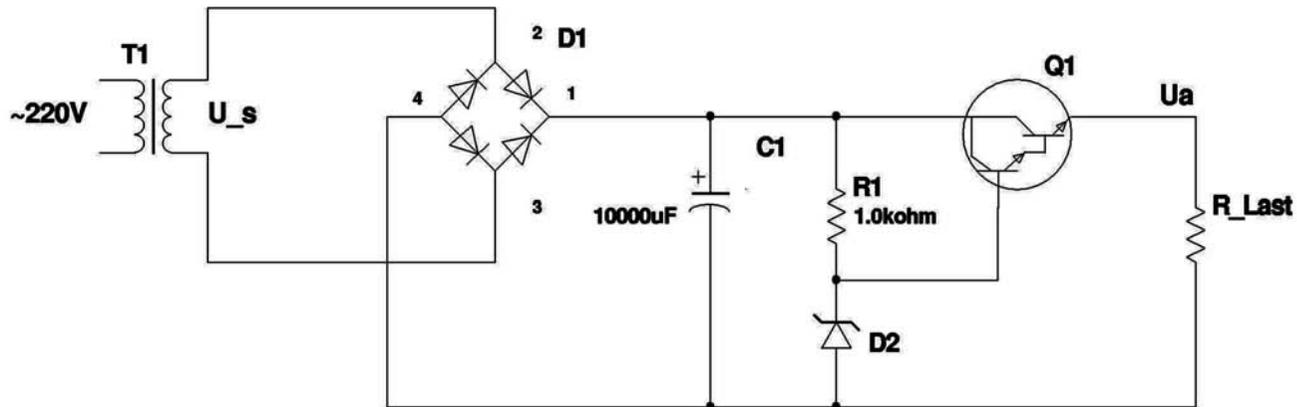
→ Bis ca. 10mA Ausgangsstrom sinnvoll

Erzeugung von Gleichspannung für höhere Ströme



- Strom wird von Transistor getragen
- Zener Diode stabilisiert Basis Potential
- Ausgangsspannung um ca. 0.7 unterhalb der Zener Spannung
- Belastbarkeit hoch, aber Verlustleistung am Transistor kann gross sein

Vollständige Netzteilerschaltung mit Darlingtontransistor



Spannungsregler 78XX für positive Spannungen

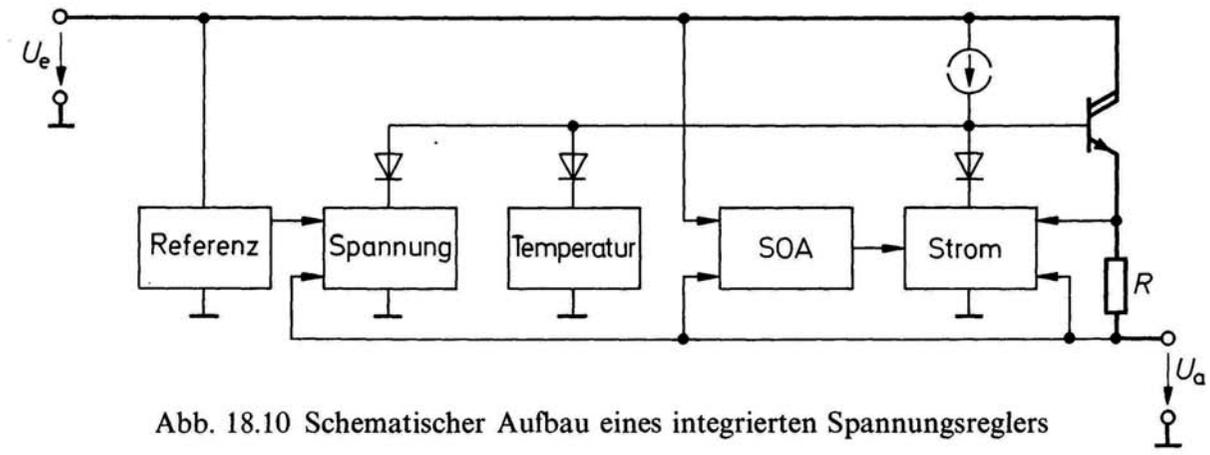
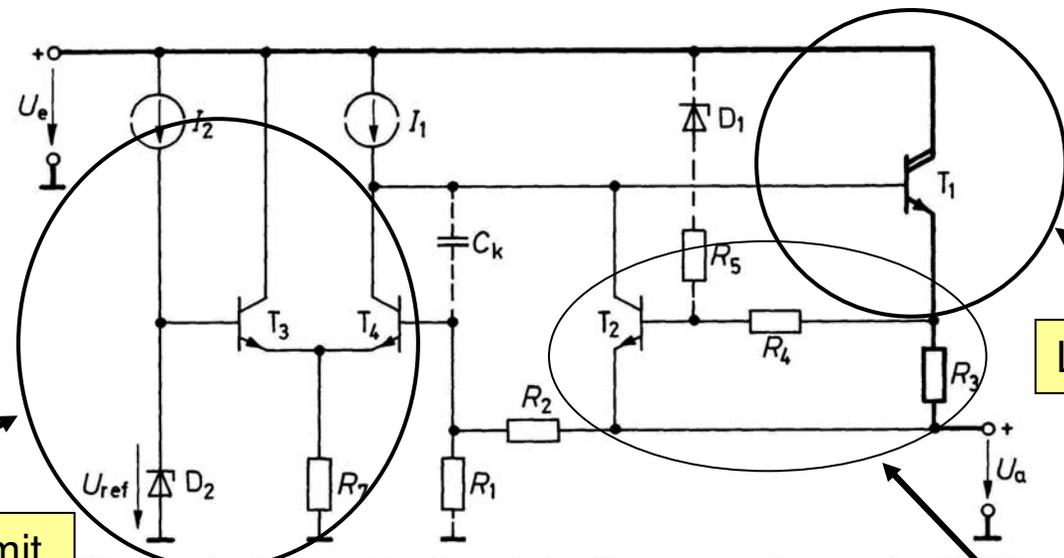


Abb. 18.10 Schematischer Aufbau eines integrierten Spannungsreglers



8.11 Prinzipschaltung eines integrierten Spannungsreglers aus der 7800-Serie

Differenzverstärker mit Zener Diode

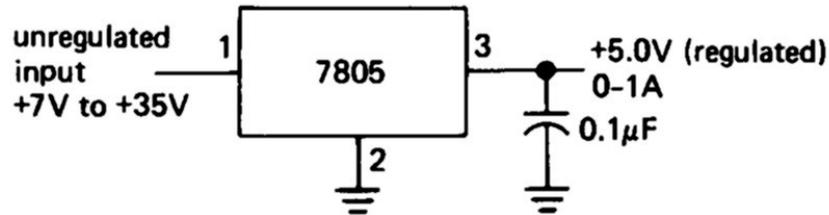
Leistungstransistor

Kurzschlußschutz

$$U_a = \left(1 + \frac{R_2}{R_1}\right) U_{ref}$$

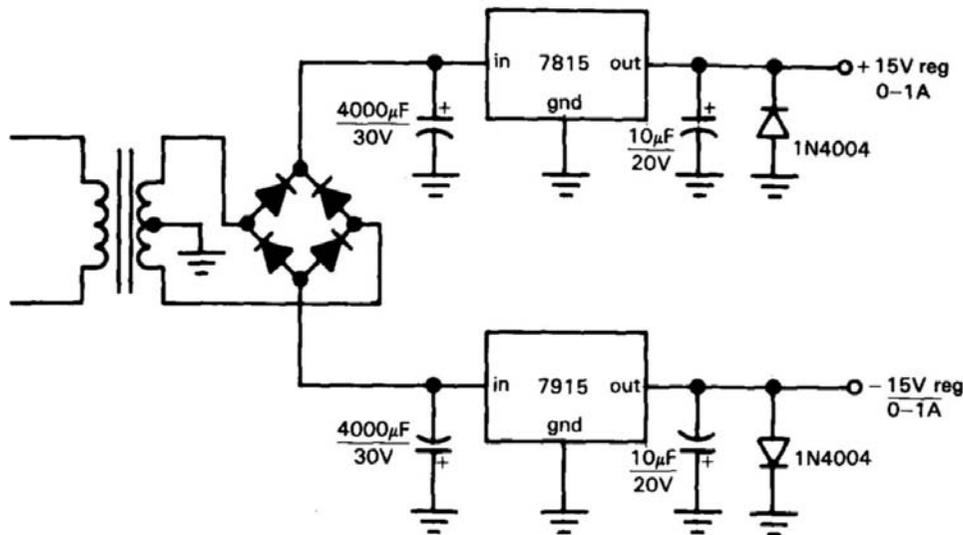
$$I_{amax} = \frac{0,6V}{R_3}$$

Einsatz von Festspannungsreglern



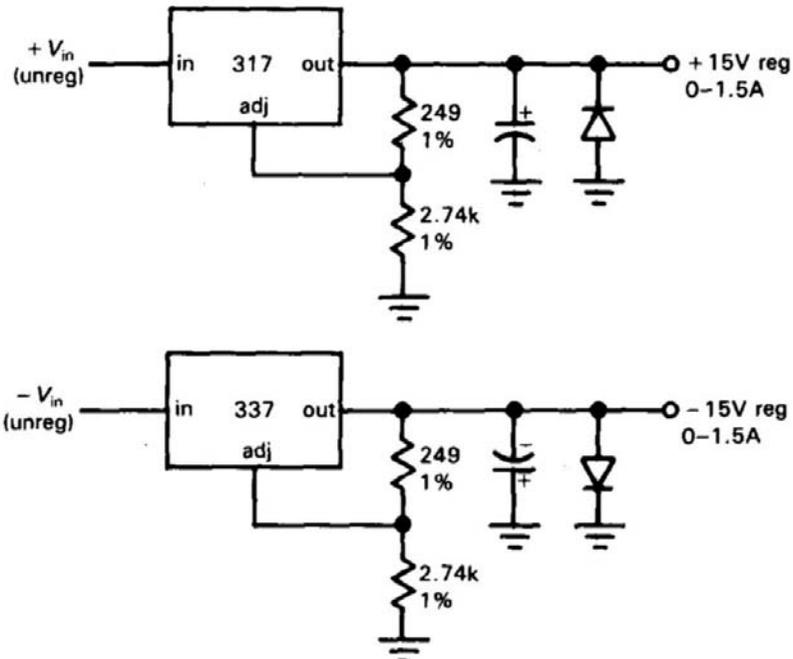
Festspannungsregler: hier für 5V

Netzteil für positive und negative Spannung



- +15V Regler
- -15V Regler
- Kapazitäten vor dem Regler glättet Eingangsspannung
- Diode am Ausgang nur Schutz gegen falsche Polarität (kann weggelassen werden)

Einsatz von variablen Spannungsreglern



Ausgangsspannung durch Spannungsteiler definiert:

$$U_a = 1.25V \cdot \left(1 + \frac{R_1}{R_2} \right)$$

Hier: $R_1 = 2.74k\Omega$ und $R_2 = 249\Omega$
und damit $U_a = 15V$

Prinzip von Schaltnetzteilen

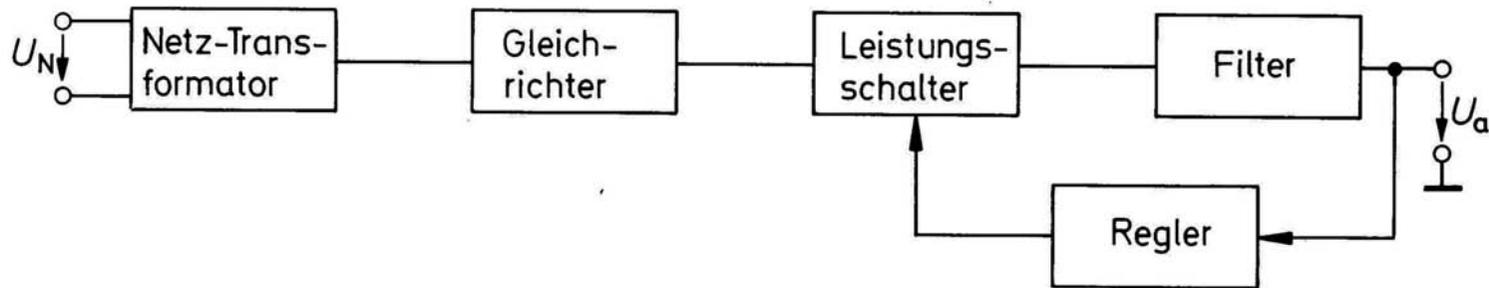


Abb. 18.32 Sekundärgetakteter Schaltregler

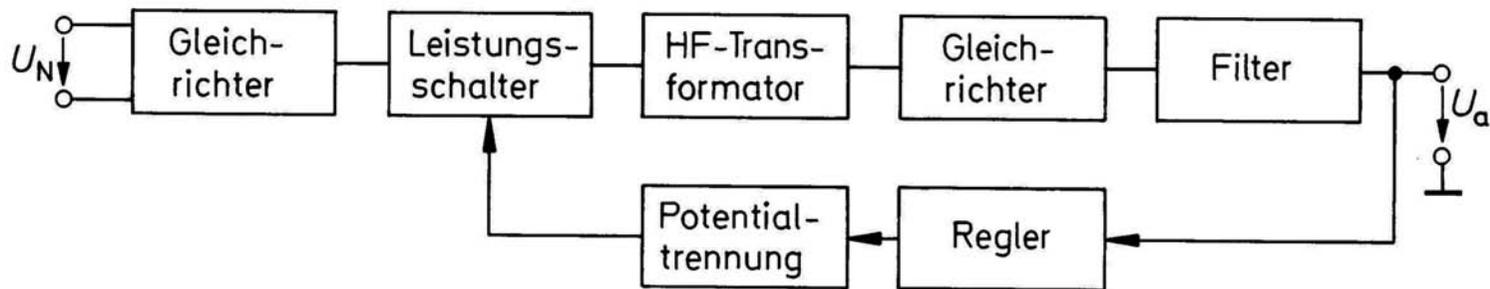


Abb. 18.33 Primärgetakteter Schaltregler

Spannungsregelung in Schaltnetzteilen durch Pulsbreitenmodulation

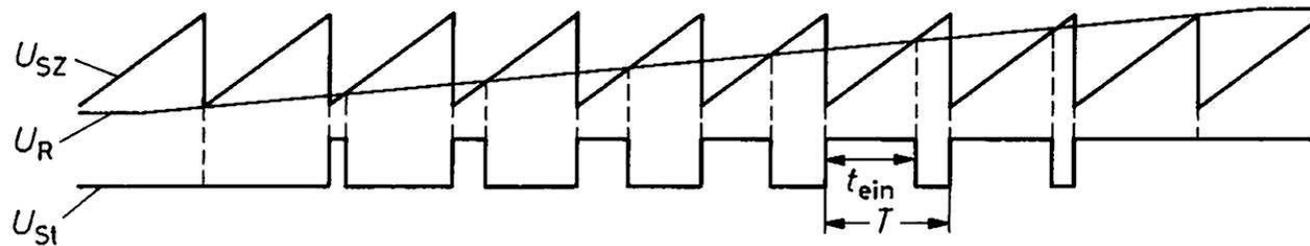


Abb. 18.42 Funktionsweise des Impulsbreitenmodulators

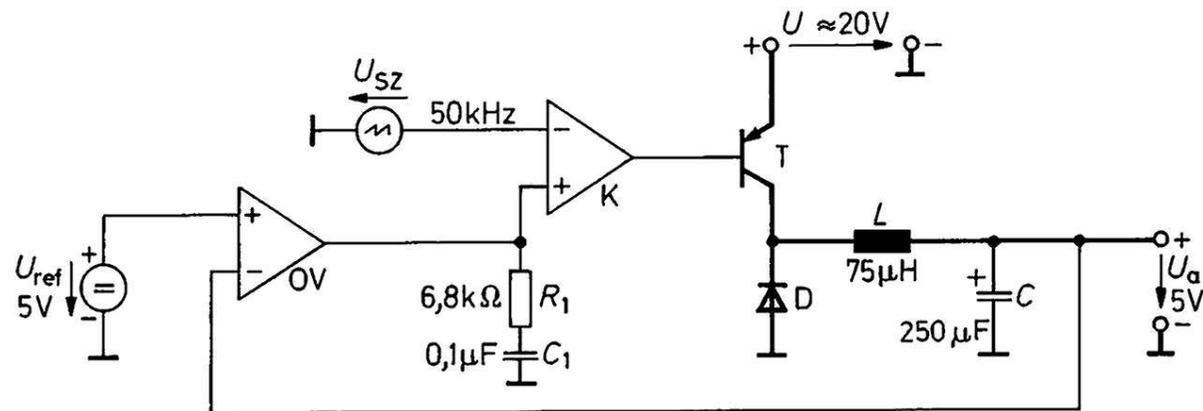


Abb. 18.43 Beispiel für einen Abwärts-Wandler mit dem Schaltregler L 296

$$U_a = 5V; \quad I_{a \max} = 4A; \quad U_e = 7,5V \dots 50V$$

Schaltregler

Abwärtsregler

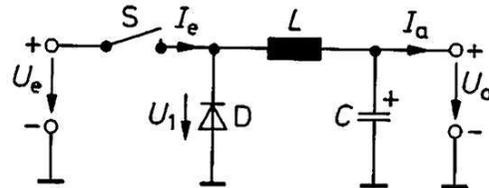


Abb. 18.37 Abwärts-Wandler mit einfachem Schalter

$$U_a = \frac{t_{\text{ein}}}{T} U_e \quad \text{für } I_a \geq I_{a \text{ min}}$$

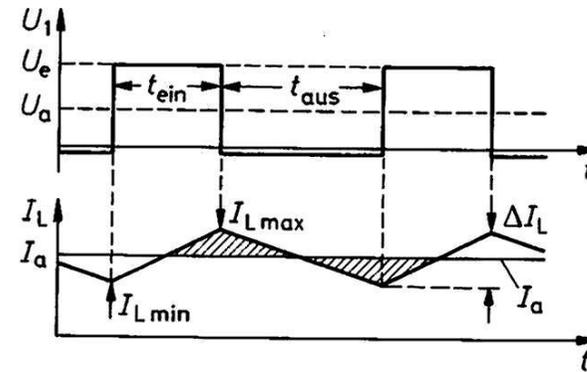


Abb. 18.38 Strom- und Spannungsverlauf

Aufwärtsregler

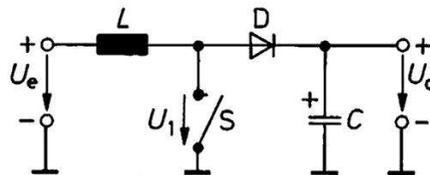


Abb. 18.44 Aufwärts-Wandler

$$U_a = \frac{T}{t_{\text{aus}}} U_e \quad \text{für } I_a > I_{a \text{ min}}$$

$$I_{a \text{ min}} = (U_a - U_e) \frac{U_e^2}{U_a^2} \cdot \frac{T}{2L}$$

$$L = (U_a - U_e) \frac{U_e^2}{U_a^2} \cdot \frac{T}{2I_{a \text{ min}}}$$

$$C \approx \frac{TI_{a \text{ max}}}{\Delta U_a}$$

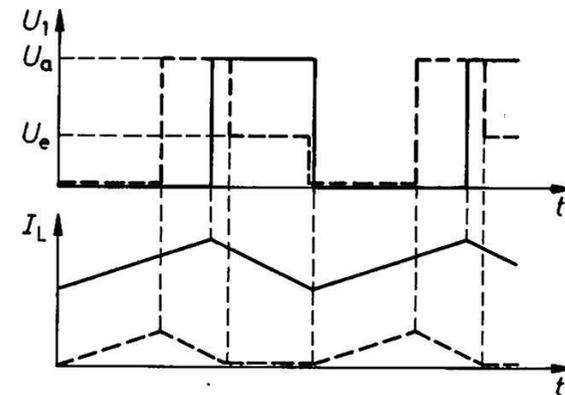


Abb. 18.45 Spannungs- und Stromverlauf im Aufwärts-Wandler.
Gestrichelt: Verhältnisse für $I_a < I_{a \text{ min}}$

Verlustleistung bei Schaltnetzteilen

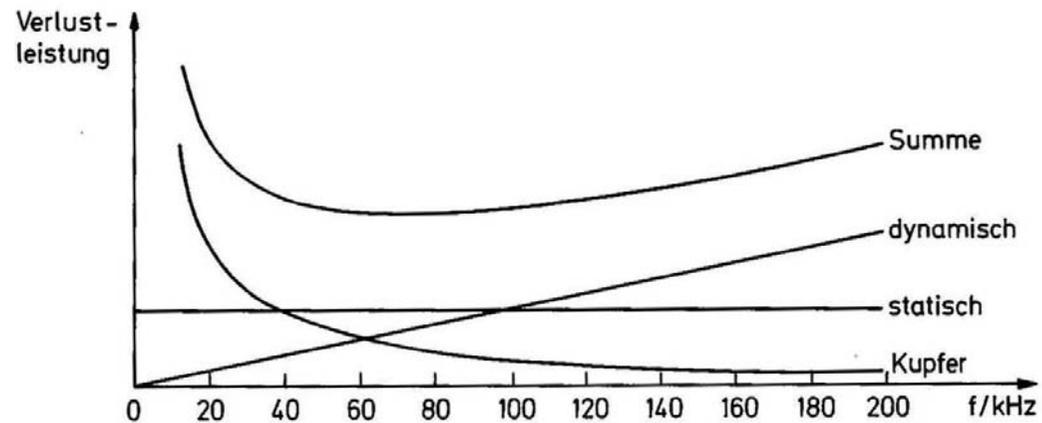


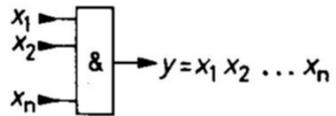
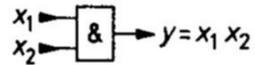
Abb. 18.73 Frequenzabhängigkeit der Verluste in einem Schaltregler

- Statische Verluste:* Stromaufnahme der Ansteuerschaltung
Durchlaßverluste der Schalter
Durchlaßverluste der Dioden
- Dynamische Verluste:* Umschaltverluste der Schalter
Magnetisierungsverluste
Dämpfung von Überschwingern
- Kupfer-Verluste:* HF-Transformator
Speicherdrossel

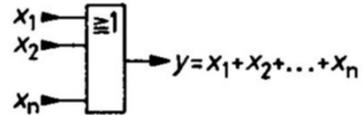
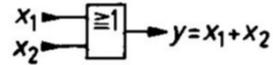
Wirkungsgrad: typ. 80-90%

Logikbausteine

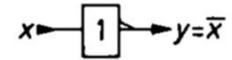
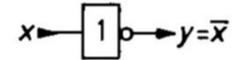
UND



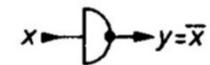
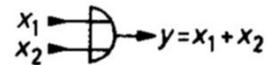
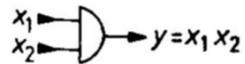
ODER



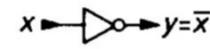
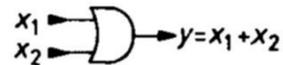
NICHT



DIN 40700



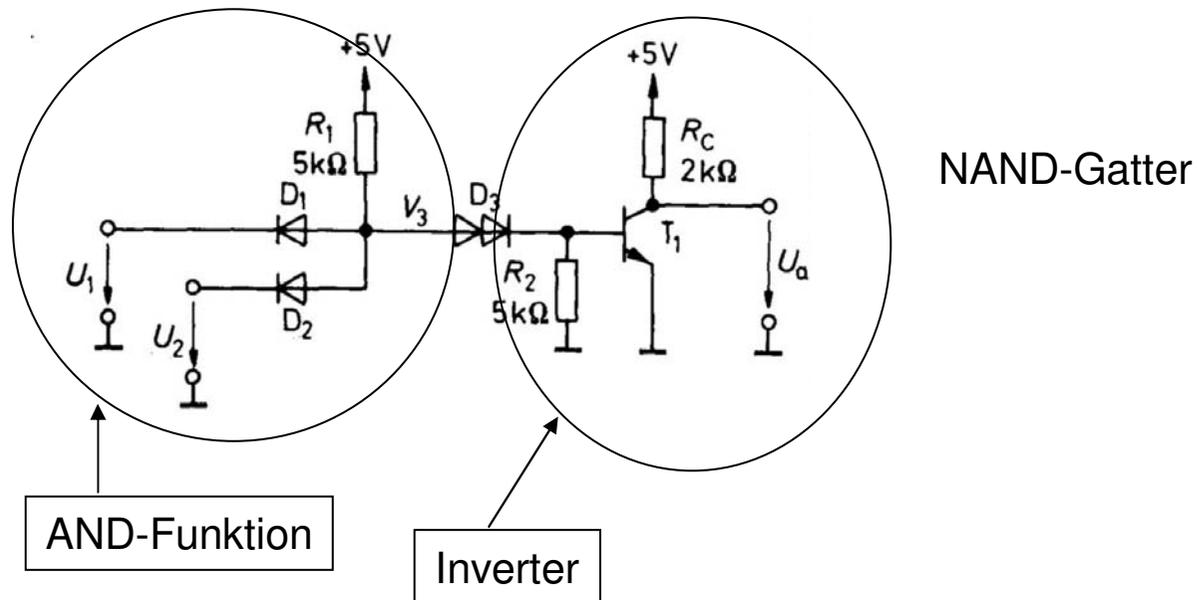
Alt bzw. USA



Gatter gibt es auch mit mehr als zwei Eingängen

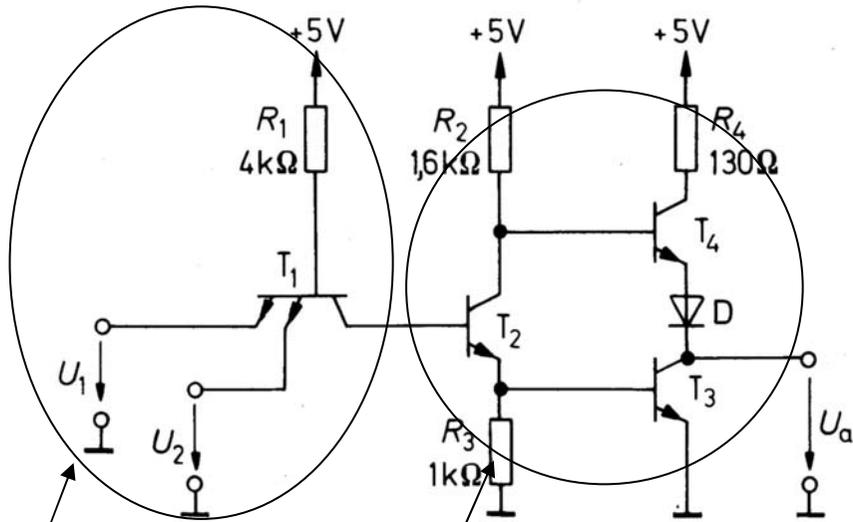
Realisierung von Logikgattern (DTL)

Dioden-Transistor-Logik DTL (wird nicht mehr verwendet!)



Realisierung von Logikgattern (TTL) 74xxx Serie

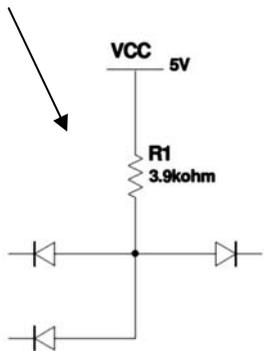
Transistor-Transistor-Logik TTL



NAND-Gatter

AND-Funktion

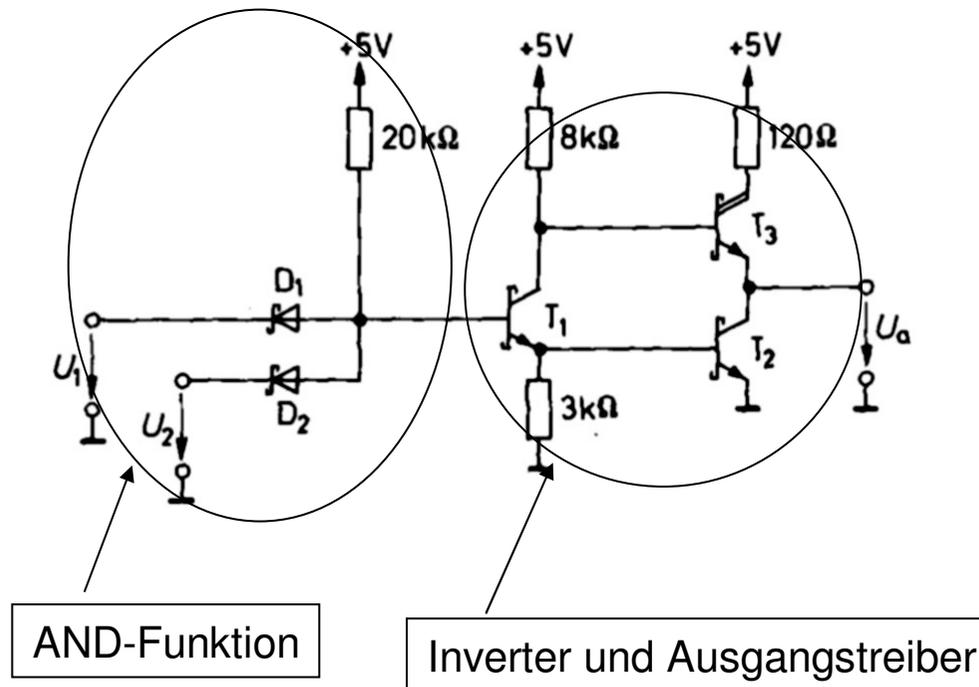
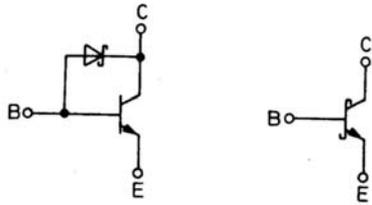
Inverter und Ausgangstreiber



Eingangstransistor mit mehreren Basen

Realisierung von Logikgattern (LS TTL)

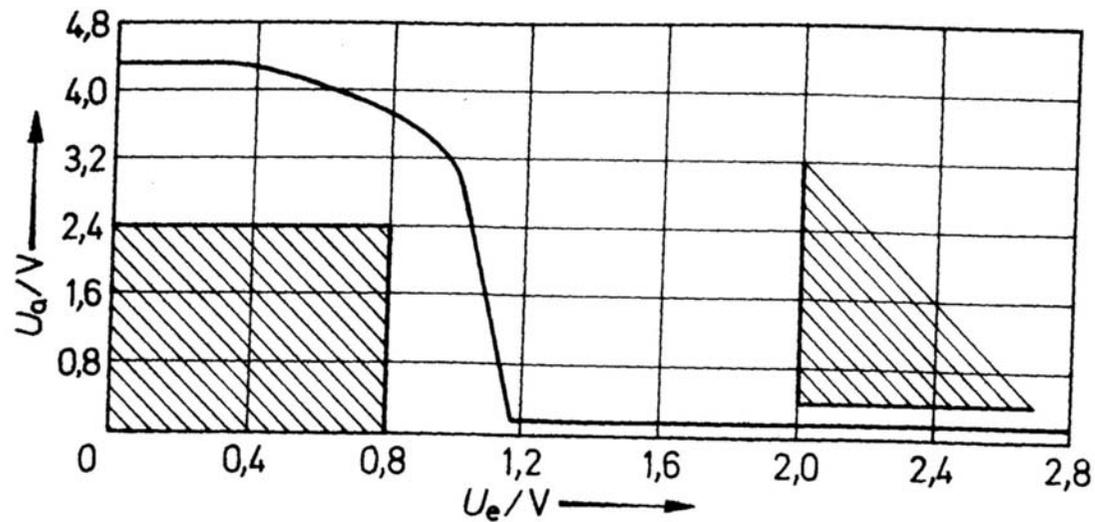
Transistor mit Schottky Antisättigungsdiode:



Low-Power Schottky NAND

Schaltpegel von TTL

74LS04 Inverter



TTL Toleranzen

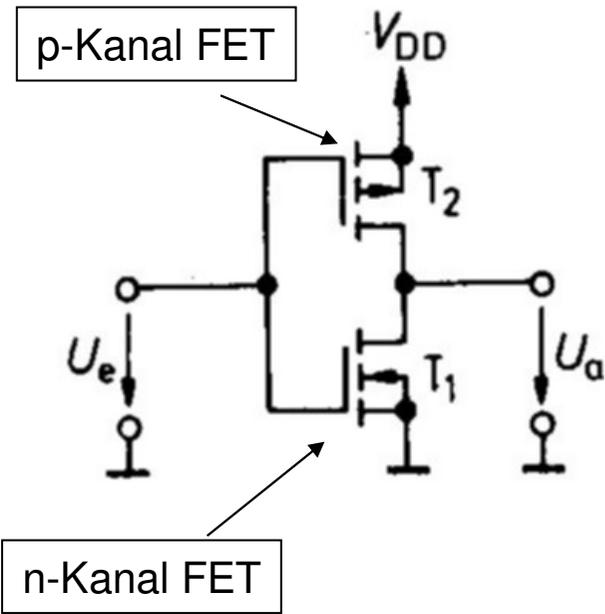
Eingang

höchster Low Pegel = 0.8V
niedrigster High Pegel = 2.0V

Ausgang

höchster Low Pegel = 0.4V
niedrigster High Pegel = 2.4V

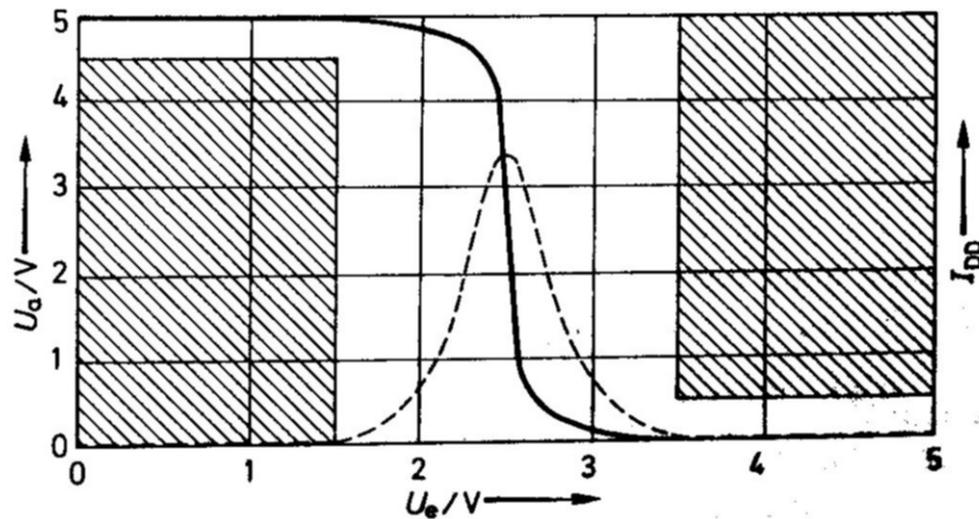
CMOS Logikbausteine



Inverter

- Low Pegel am Eingang: n-Kanal FET leitet
→ Ausgangsspannung (fast) V_{DD}
- High Pegel am Eingang. p-Kanal FET leitet
→ Ausgangsspannung (fast) GND

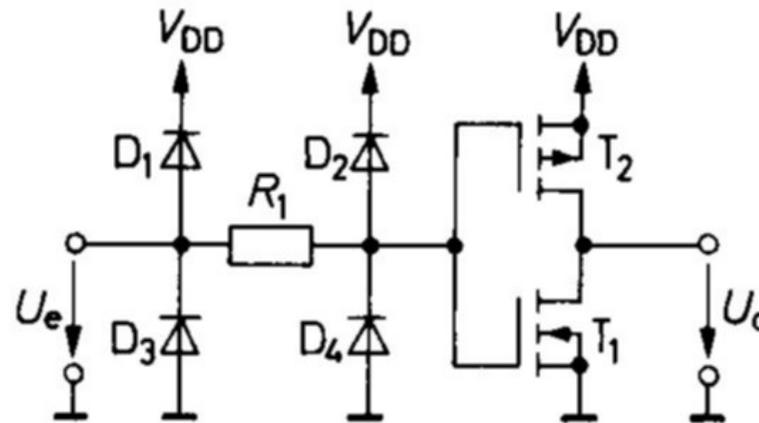
Ausgangspegel deutlich höher als bei TTL



CMOS Logikbausteine

Gate Elektrode der FETs SEHR empfindlich für statische Ladung → Schutz notwendig

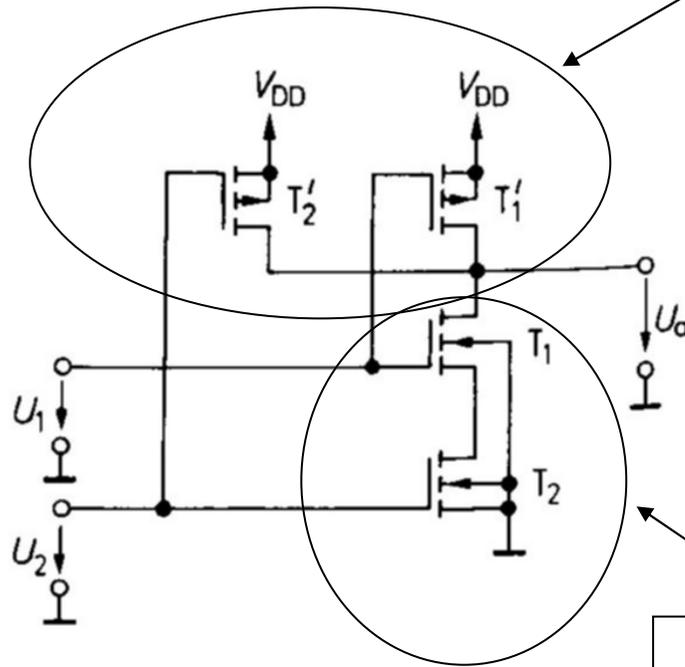
- Dioden am Eingang schützen bei negativen und zu hohen Spannungen



CMOS Inverter mit Schutzschaltung

CMOS NAND Gatter

p-Kanal FETs leiten, wenn einer der Eingänge LOW ist → Ausgang HIGH

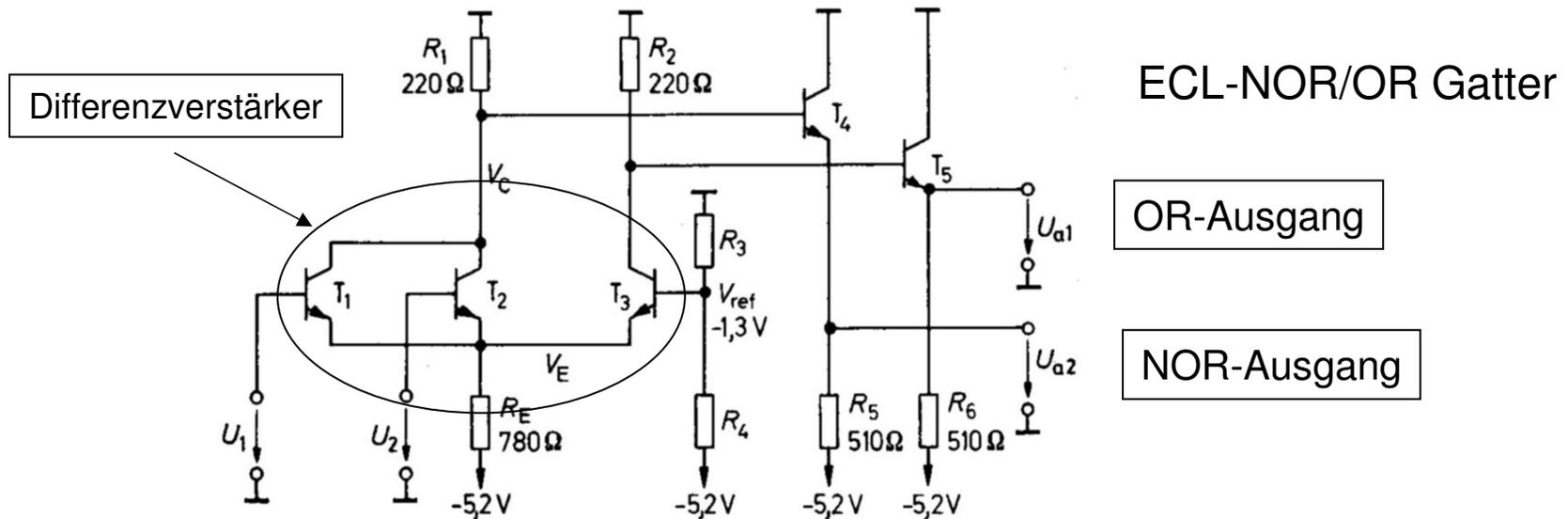
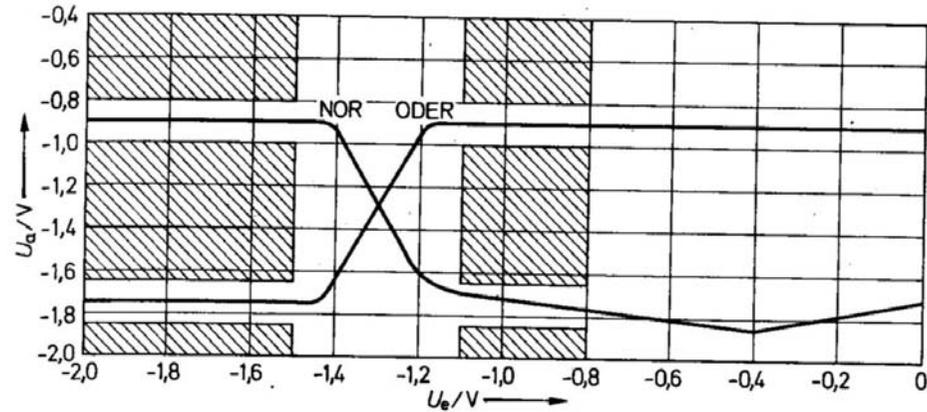


n-Kanal FETs in Serie. Leiten nur, wenn beide Eingänge HIGH sind → Ausgang LOW

ECL Logik Gatter

ECL: Emitter Coupled Logic

- Stromschalter mit Differenzverstärker
- Extrem schnell: Laufzeit unter 1ns (GHz)
- Pegel sind negativ: HIGH = -0,9V und LOW=-1,7V



ECL-NOR/OR Gatter

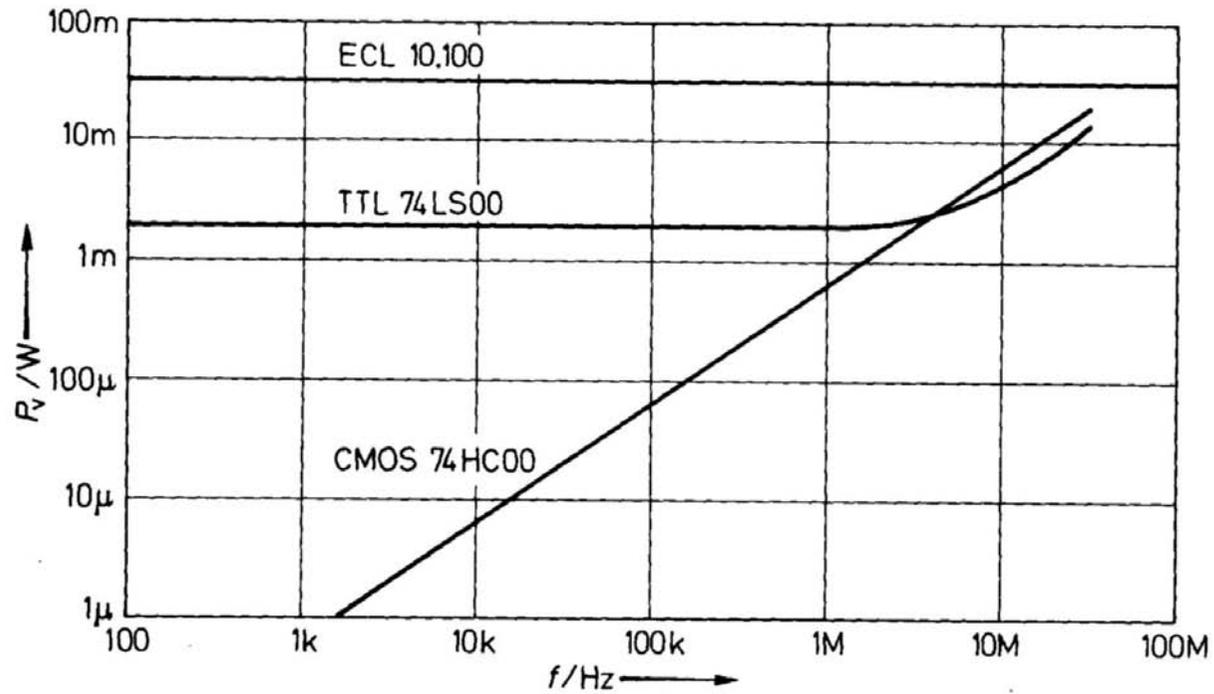
OR-Ausgang

NOR-Ausgang

Überblick über Logikfamilien

Familie	Typ	Betriebs- spannung	Verlust- leistung	Gatter- laufzeit	Laufzeit- Leistungs- Produkt	
			P_V	t_{pd}	$P_V \cdot t_{pd}$	
TTL						
standard	7400	5 V	10 mW	10 ns	100 pJ	
LP Schottky	74LS00	5 V	2 mW	10 ns	20 pJ	
Schottky	74S00	5 V	19 mW	3 ns	57 pJ	
LP advanced	74ALS00	5 V	1 mW	4 ns	4 pJ	
fast	74F00	5 V	4 mW	3 ns	12 pJ	
advanced	74AS00	5 V	10 mW	1,5 ns	15 pJ	
ECL						
standard	10.100	-5,2 V	35 mW ¹	2 ns	70 pJ	
	10.200	-5,2 V	35 mW ¹	1,5 ns	53 pJ	
high speed	1.600	-5,2 V	70 mW ¹	1 ns	70 pJ	
	10H100	-5,2 V	35 mW ¹	1 ns	35 pJ	
	100.100	-5,2 V	50 mW ¹	0,75 ns	38 pJ	
CMOS						
standard	4.000	}	5 V	$0,3 \frac{\mu W}{kHz}$	90 ns	$0,03 \frac{pJ}{kHz}$
	14.000		10 V	$1 \frac{\mu W}{kHz}$	50 ns	$0,05 \frac{pJ}{kHz}$
	74C00		15 V	$3 \frac{\mu W}{kHz}$	30 ns	$0,09 \frac{pJ}{kHz}$
high speed	74HC00 74HCT00		5 V	$0,5 \frac{\mu W}{kHz}$	10 ns	$0,005 \frac{pJ}{kHz}$

Leistungsverbrauch von Logikgattern

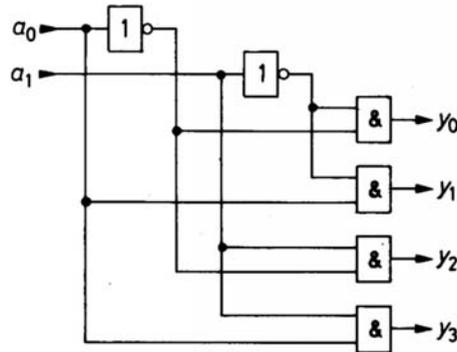


Schnelle Gatter verbrauchen auch immer viel Strom!

Dekoder und De-Multiplexer

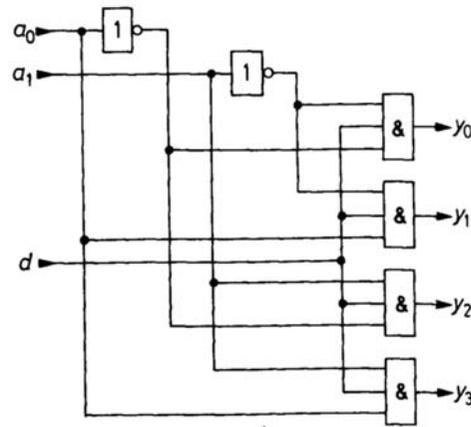
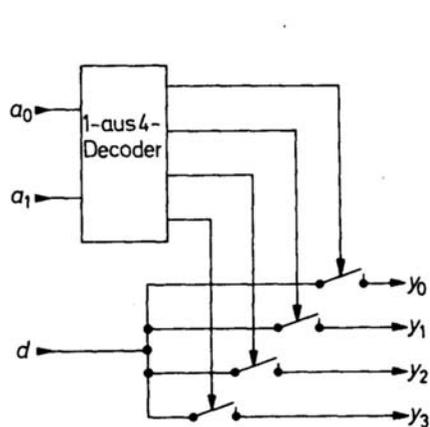
1-aus-4 Dekoder

a_1	a_0	y_3	y_2	y_1	y_0
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0



- Eingangswort mit m Bits
- $n=2^m$ Ausgänge
- Ausgang, der Eingangswort entspricht wird aktiv (logisch 1)

1-aus-4 De-Multiplexer

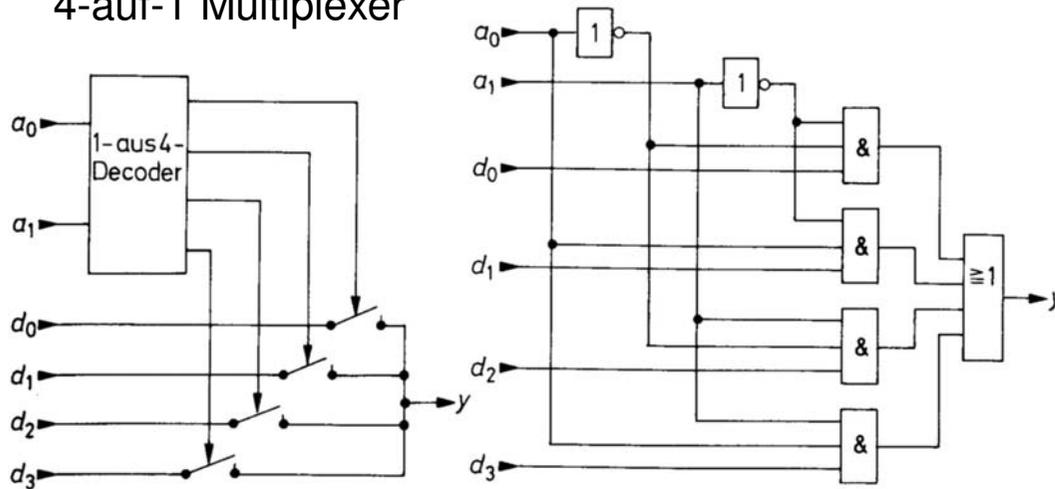


- Eingangswort mit m Bits
- Dateneingang
- $n=2^m$ Ausgänge
- An Ausgang, der Eingangswort entspricht wird Datum übergeben

Anwendung: Adressdekodierung z.B. auf einem Bus mit mehreren Geräten

Multiplexer

4-auf-1 Multiplexer



- Eingangswort mit m Bits
- $n=2^m$ Dateneingänge
- Eingangsdatum, welches dem Eingangswort entspricht wird an Ausgang weitergegeben

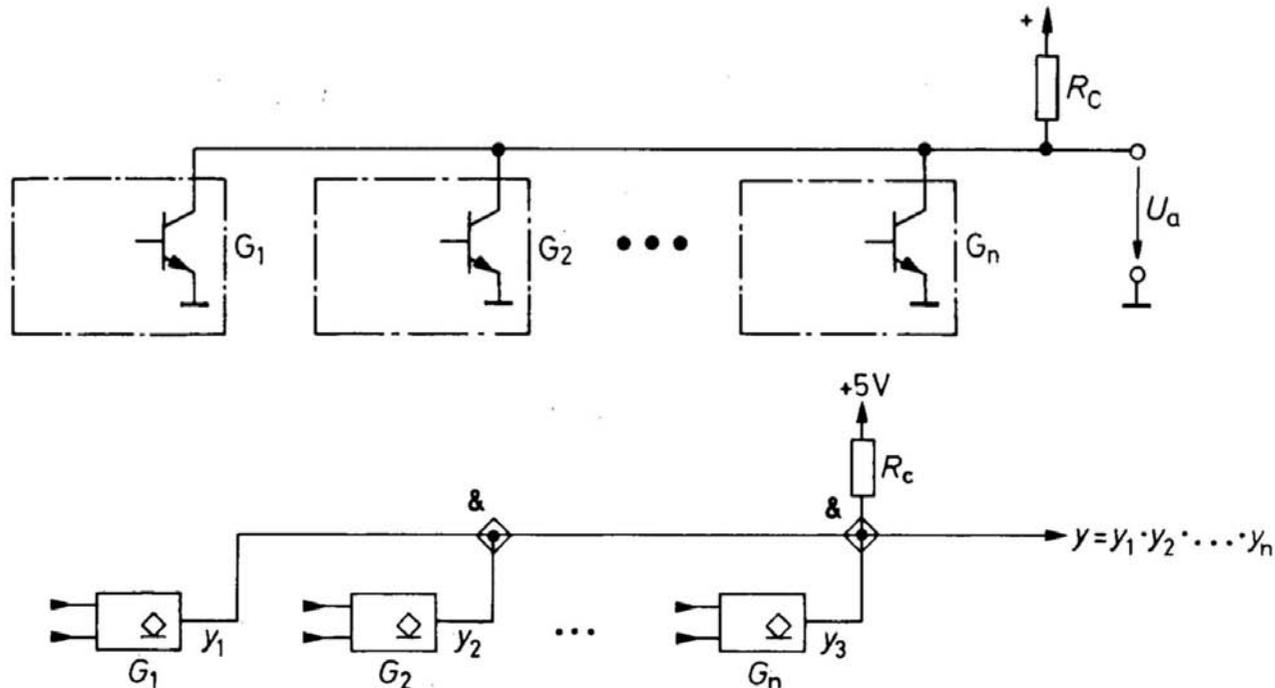
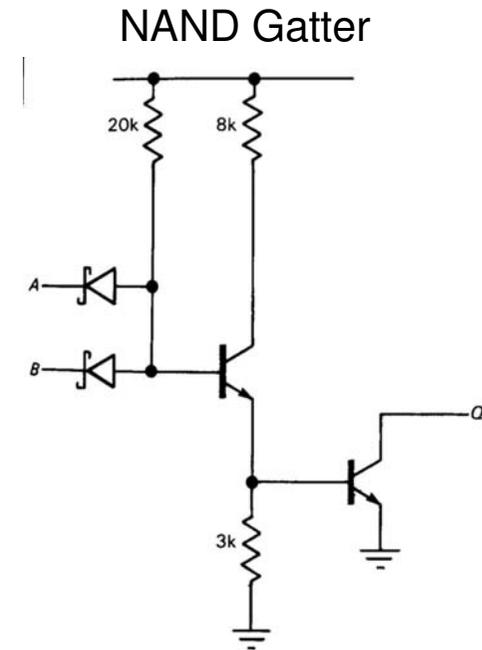
Anwendung: Selektion einer Signalquelle

Verknüpfung von Logikgattern

Open-Collector-Ausgänge

- Ausgang des Gatters besteht nur aus einem Transistor
- Kollektor kann Ausgang aktiv auf LOW ziehen
- Externer *Pull-Up* Widerstand definiert HIGH Level
- Funktion: wie AND Gatter, da Leitung nur HIGH zeigt, wenn KEIN Ausgang LOW ist

→ **Wired-AND**

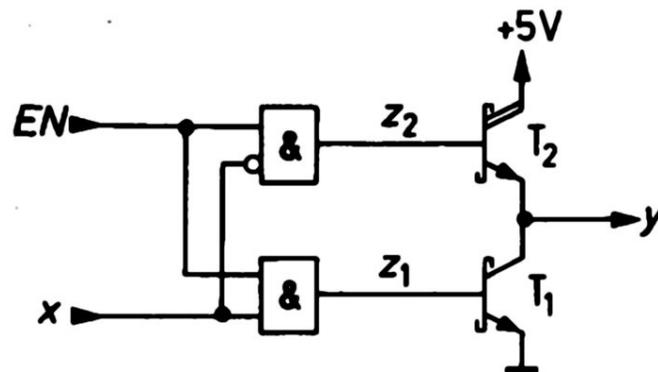


Tri-State Ausgänge

Tristate-Ausgänge

- Extra Eingang um Ausgang “hochohmig” zu schalten
- Ausgang kann nur HIGH oder LOW Pegel annehmen, wenn EN=HIGH ist

→ Drei mögliche Zustände: HIGH, LOW oder OFFEN



Tri-State Inverter

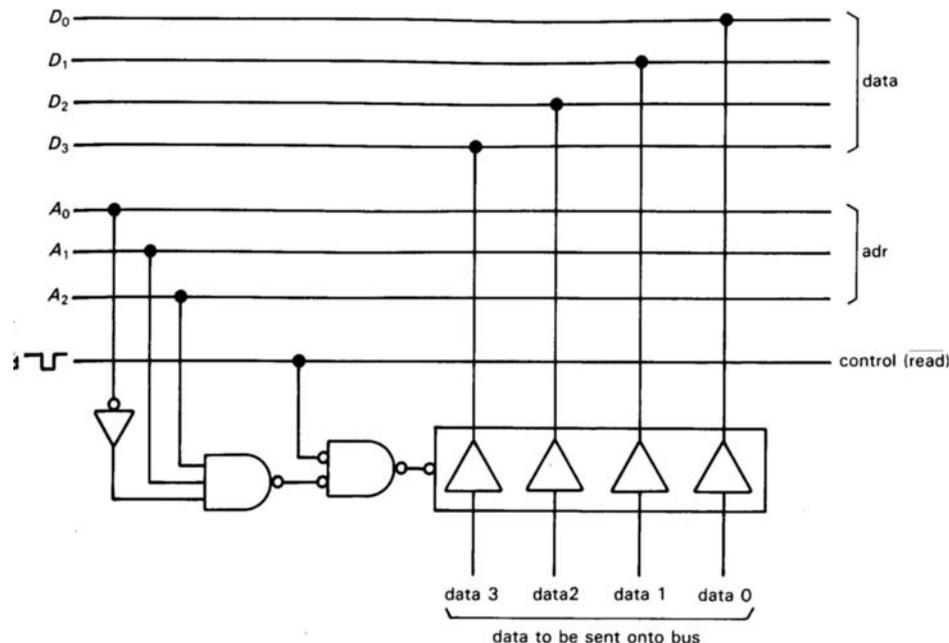
Bus-System

Konzept

- Viele Komponenten benutzen die gleichen Leitungen
- Selektionsleitungen (Adresse A_0 bis A_3) garantieren, dass immer nur ein Baustein auf Bus zugreift
- Datenleitungen werden dann durch Steuerleitungen geschaltet
- Leitungen können in beiden Richtungen benutzt werden

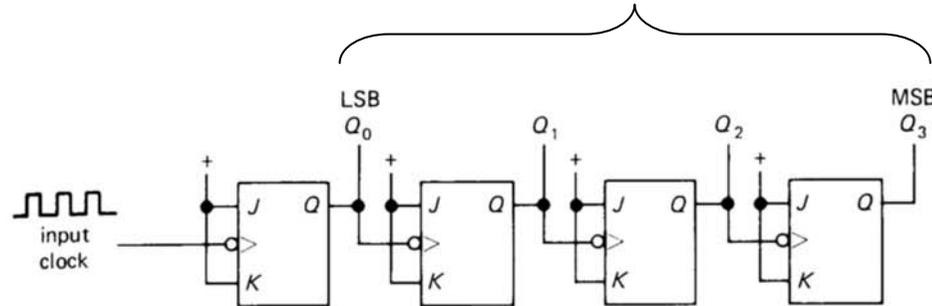
Beispiele

- Anbindung von Halbleiterspeicher (Adress- und Datenbus)
- PCI-Bus (Selektion der Steckkarte) über extra Leitungen
- Prozessorbus: Kommunikation mit Peripherie, Speicher



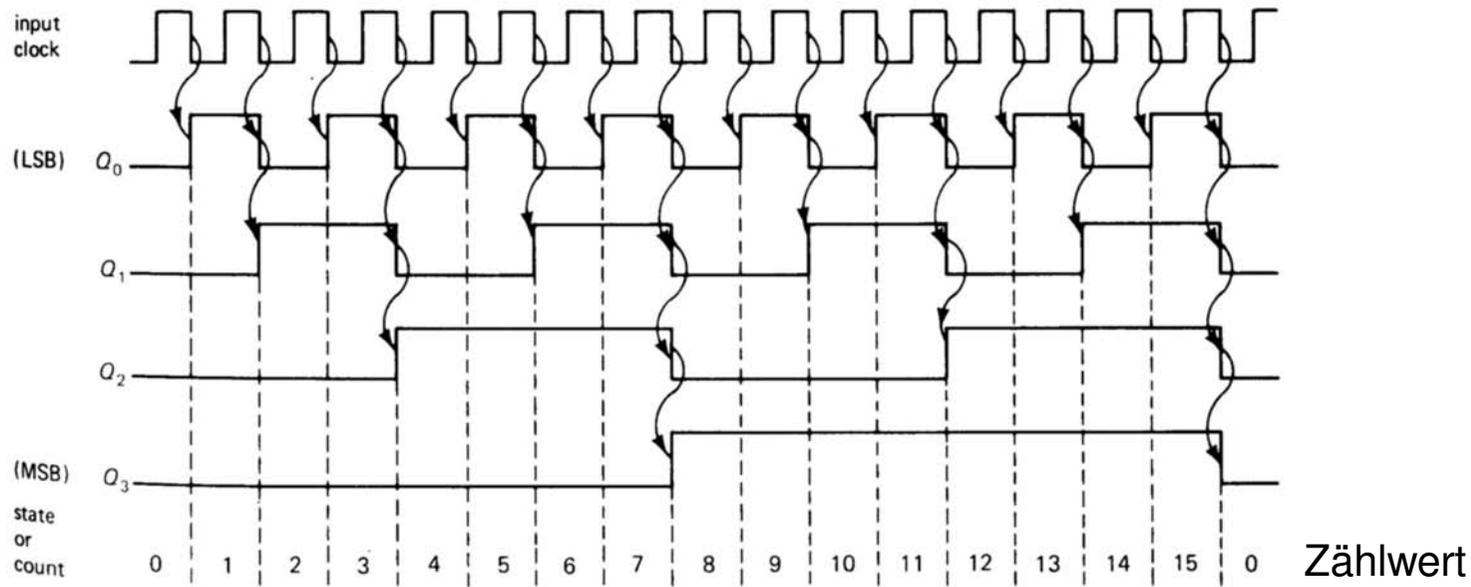
4-Bit Zähler

4 Ausgangsbits: Q_0 = niederwertiges Bit (LSB=Least Significant Bit)



JK-Flip-Flop mit $J=K=1$ entspricht einem D-Flip-Flop

A



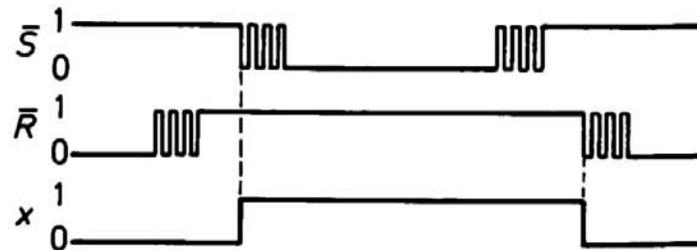
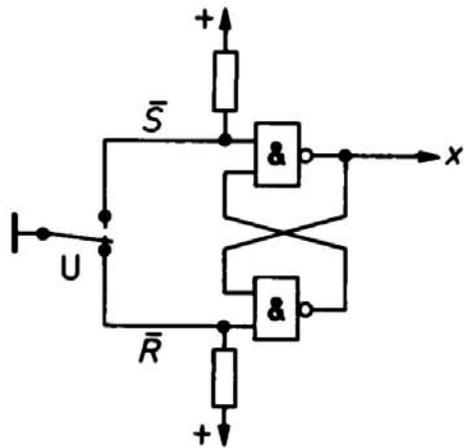
Entprellen eines Schalters mit einem Flip-Flop

Problem

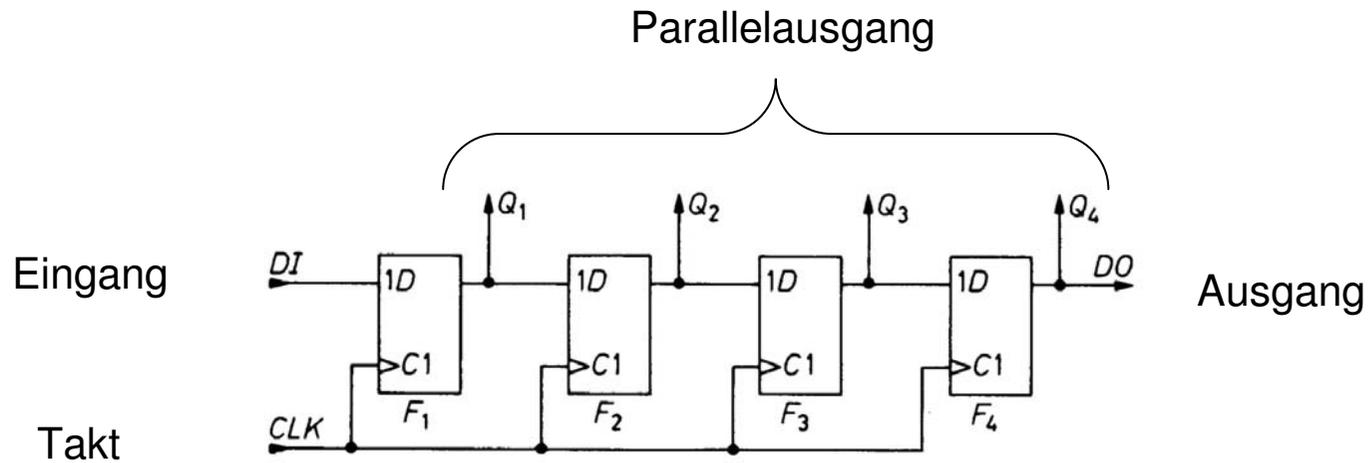
Alle mechanischen Schalter prellen während des Schaltvorgangs
→ Unerwünschte Pulse werden erzeugt

Lösung

Flip-Flop sorgt für sauberen Puls



Schieberegister



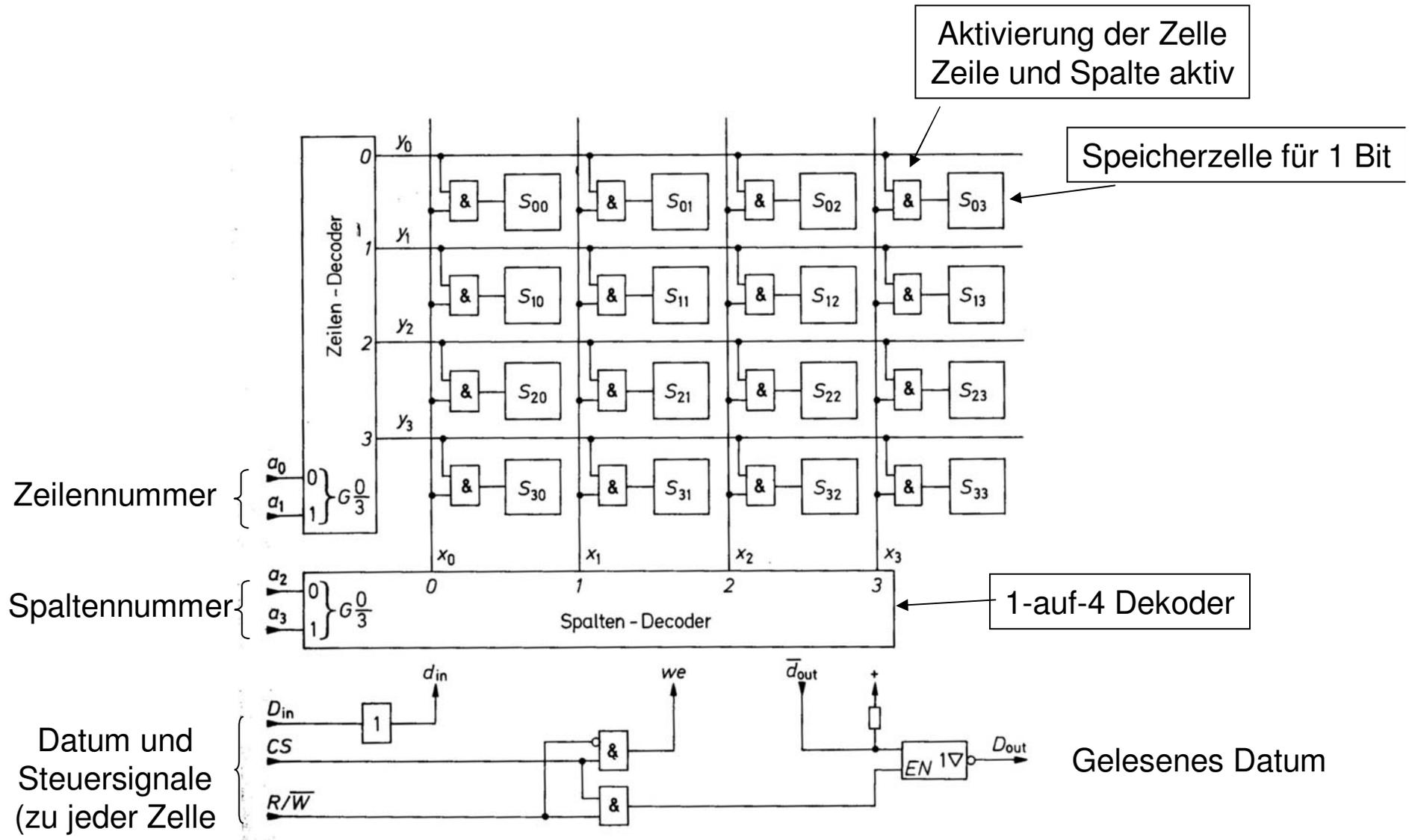
Wahrheitstabelle

Anwendungen

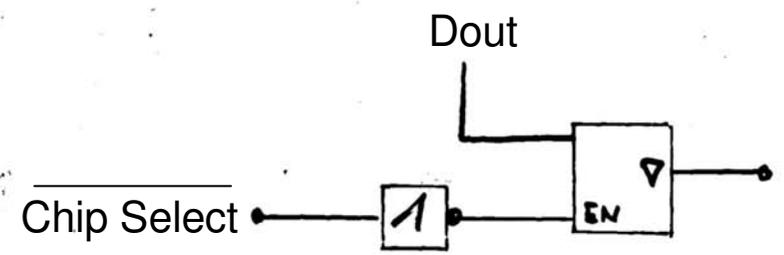
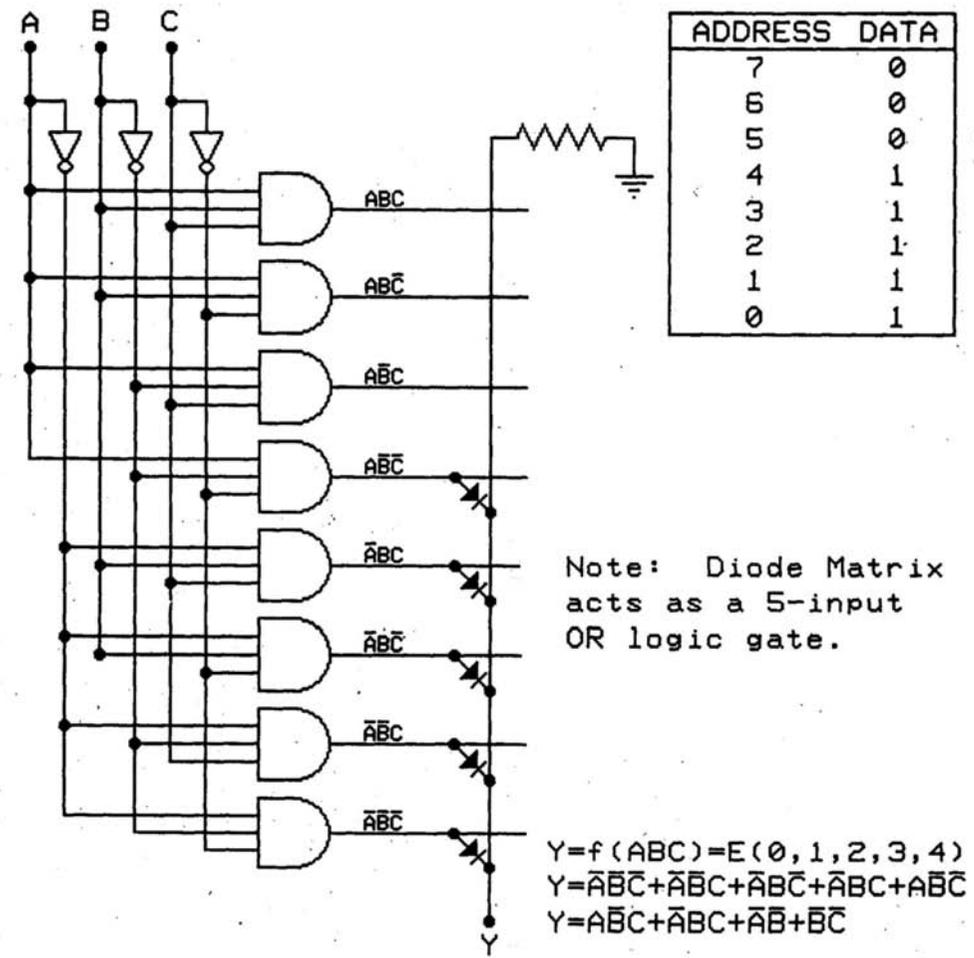
- Seriell-zu-parallel Wandlung
- Zwischenspeicher für Daten für eine Anzahl von Takten

CLK	Q_1	Q_2	Q_3	Q_4
1	D_1	–	–	–
2	D_2	D_1	–	–
3	D_3	D_2	D_1	–
4	D_4	D_3	D_2	D_1
5	D_5	D_4	D_3	D_2
6	D_6	D_5	D_4	D_3
7	D_7	D_6	D_5	D_4

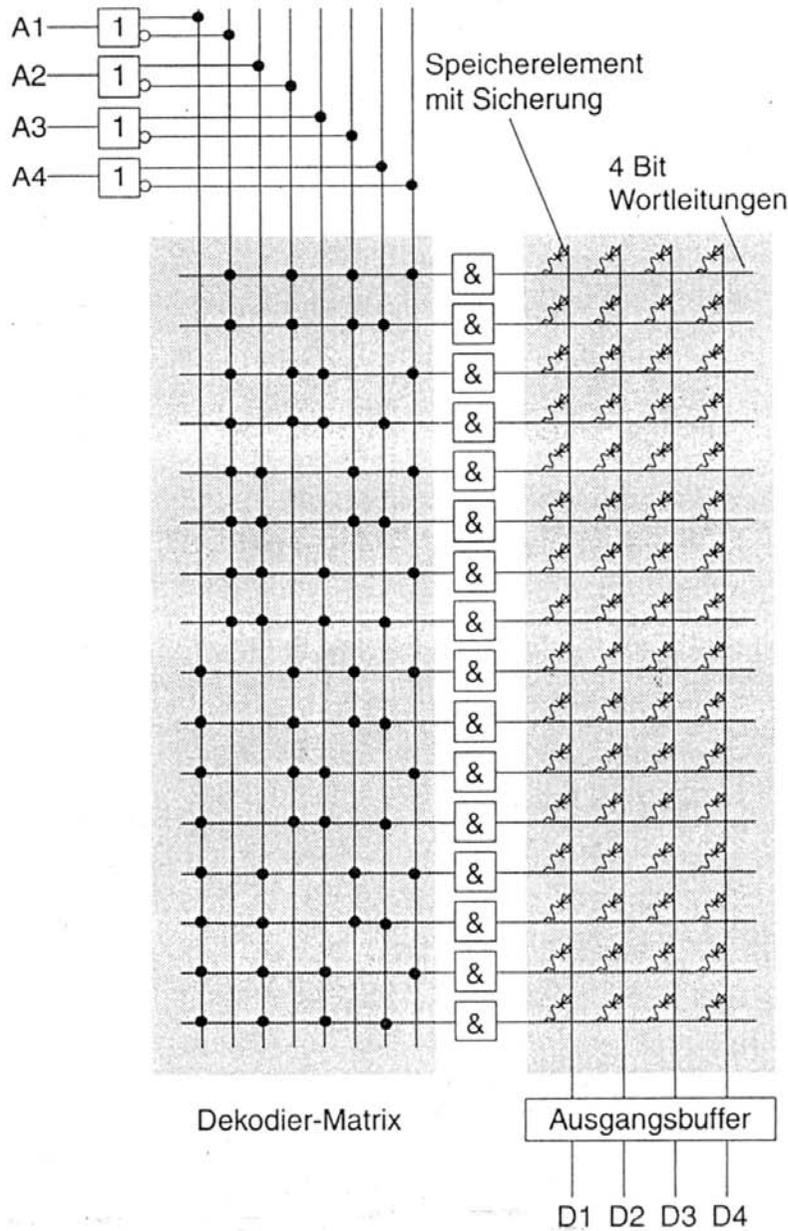
Interner Aufbau eines Random-Access-Memory Bausteins



Interner Aufbau eines Read-Only-Memory Bausteins

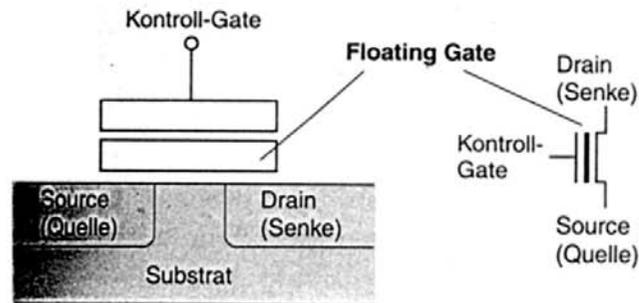


Programmable-Read-Only-Memory

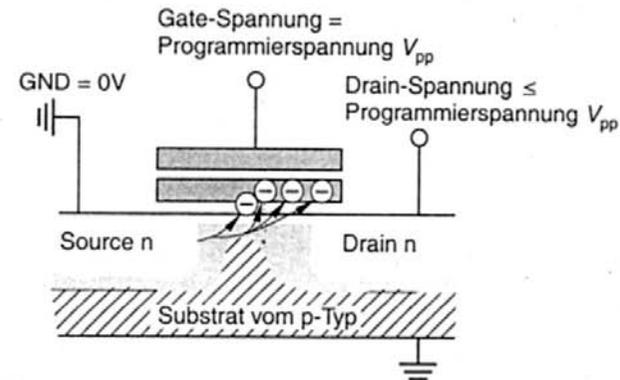


- Sicherung kann für Zellen, die eine Null enthalten sollen weggebrannt werden
- Danach ist Inhalt dieser Zellen nicht mehr änderbar

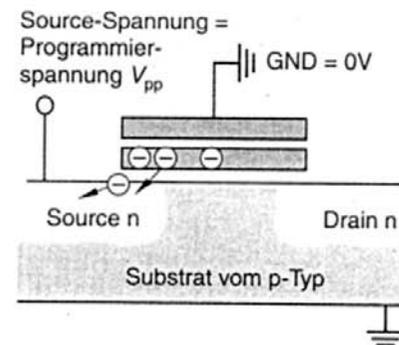
Erased-Programmable-Read-Only-Memory Zelle



Programmievorgang



Löschvorgang

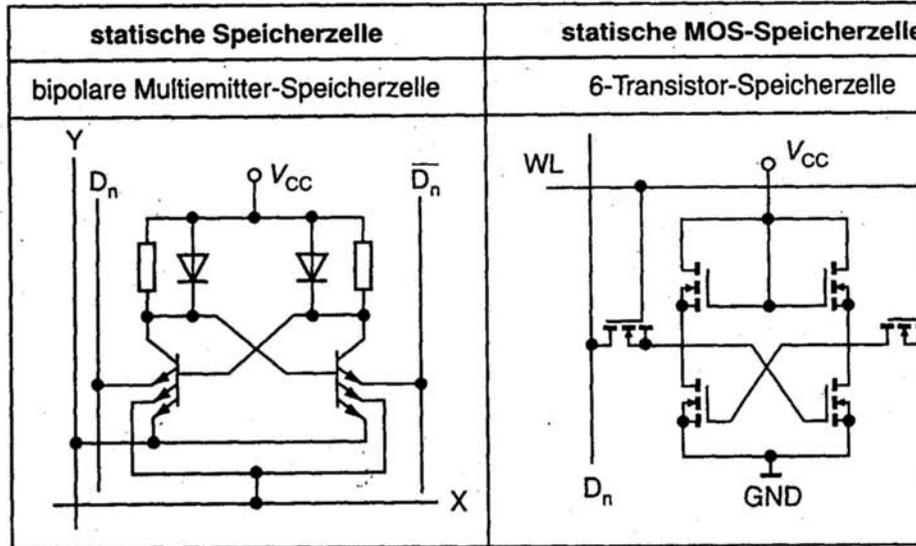


- Zelle besteht aus einem MOSFET
- Gate ist ohne direkten Anschluß (floating)
- Durch "hohe Spannung" kann Ladung auf Gate Elektrode gebracht werden (programmieren)
- Ladung bleibt auf Gate-Elektrode und Zustand kann immer wieder gelesen werden.
- Löschen des Bits durch UV-Licht (EPROM) oder hohe Spannung (EEPROM)

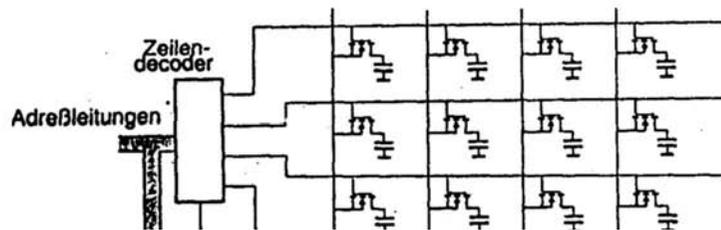
RAM Zellen

statische Speicherzelle	statische MOS-Speicherzelle	dynamische Speicherzelle
bipolare Multiemitter-Speicherzelle	6-Transistor-Speicherzelle	1-Transistor-Speicherzelle

Dynamisches Random-Access-Memory (DRAM)



- RAM Zelle besteht nur aus einem Transistor
- Datum wird auf Gate-Substrat Kapazität gespeichert
- Ladung muss regelmässig (typ. msec) "refreshed" werden (Refresh Zyklus). Spätestens nach dem Lesen
- Anzahl Adressleitungen reicht für Adressierung aller Zellen nicht aus:
 - o Aufteilung in Zeilen- und Spaltenadresse
 - o Zwei Adresssignale notwendig RAS (Row-Address-Strobe) und CAS (Column-Address-Strobe)



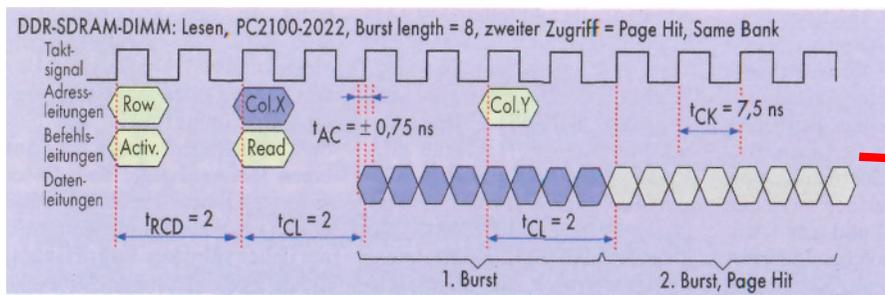
Double-Data-Rate2 DRAM Timing

Table 48 Speed Grade Definition Speed Bins for DDR2-533C and DDR2-400B

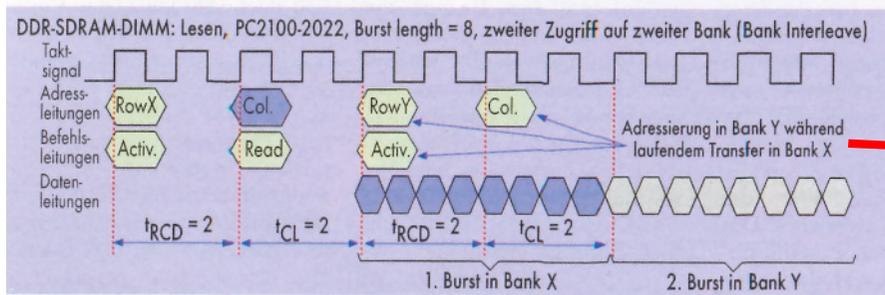
Speed Grade		DDR2-533C		DDR2-400B		Unit	
IFX Sort Name		-3.7		-5			
CAS-RCD-RP latencies		4-4-4		3-3-3		t_{CK}	
Parameter	Symbol	Min.	Max.	Min.	Max.	—	
Clock Frequency	@ CL = 3	t_{CK}	5	8	5	8	ns
	@ CL = 4	t_{CK}	3.75	8	5	8	ns
	@ CL = 5	t_{CK}	3.75	8	5	8	ns
Row Active Time	t_{RAS}	45	70000	40	70000	ns	
Row Cycle Time	t_{RC}	60	—	55	—	ns	
RAS-CAS-Delay	t_{RCD}	15	—	15	—	ns	
Row Precharge Time	t_{RP}	15	—	15	—	ns	

Lesezugriff eines DDR-RAMs

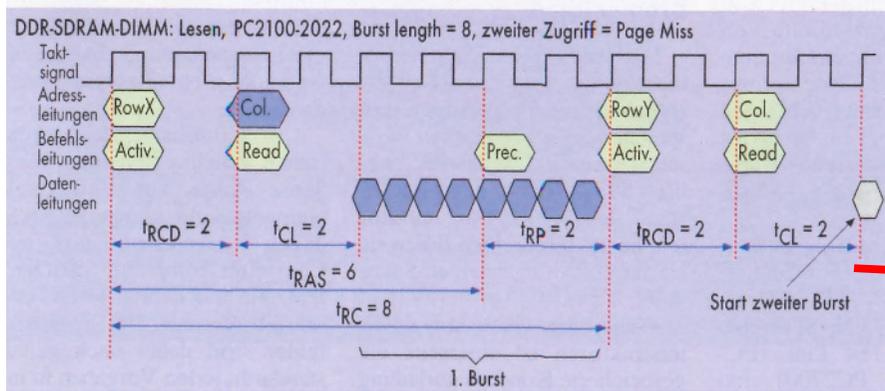
Bei jedem Zugriff (Burst) werden 64 Bytes übertragen (64Bit Datenbusbreite des DIMMS x 8)



Nächster Burst bereits in den Ausgangspuffern. Neues CAS wird während des Transfers des 1. Bursts angelegt
 → Zugriff mit voller Geschwindigkeit



Daten des nächsten Bursts befinden sich in anderer RAM Bank . Neues RAS und CAS wird während des Transfers des 1. Bursts angelegt
 → Zugriff mit voller Geschwindigkeit



Daten des nächsten Bursts befinden sich in der selben RAM Bank, aber nicht in der selben Page (Page Miss). Voller RAS und CAS Zyklus
 → Zugriff mit der rohen DRAM Geschwindigkeit (ca. 60ns)

Transferleistung, Frequenz- und Zugriffsparameter von DRAM-Modulen

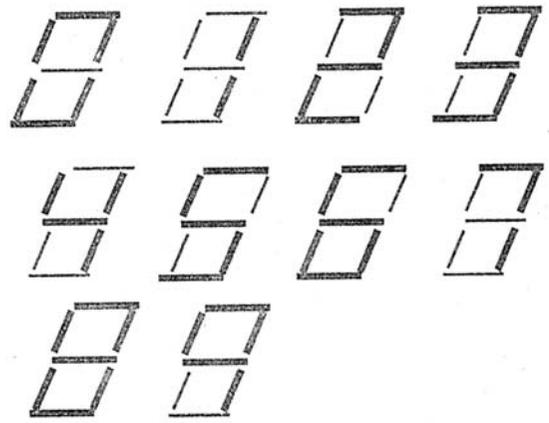
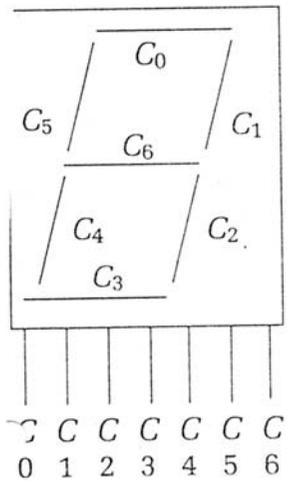
Modul- Bezeichnung	ab/seit	Maximale theoretische Datenrate	in Milliarden Byte/s in 2 ³⁰ Byte/s	Chip- Bezeichnung	Spezifika- tion(en)	Taktfrequenz/ Zyklusdauer	Cl (CAS Latency)	T _{RP} (RAS Precharge Time)	T _{RAS} (Active-to- Precharge-Time)	T _{RC} (RAS Cycle Time)
Takte/ns										
PC66-222	1996	0,533 GByte/s	0,5 GByte/s	PC66	Intel, JEDEC	66 MHz/15 ns	2 T = 30 ns	3 T = 30 ns	5 T = 75 ns	7 T = 105 ns
PC100-333	1998	0,8 GByte/s	0,75 GByte/s	PC100	Intel, JEDEC	100 MHz/10 ns	3 T = 30 ns	3 T = 30 ns	5 T = 50 ns	8 T = 80 ns
PC100-222	1999	0,8 GByte/s	0,75 GByte/s	PC100	Intel, JEDEC	100 MHz/10 ns	2 T = 20 ns	2 T = 20 ns	5 T = 50 ns	7 T = 70 ns
PC133-333	1999	1,066 GByte/s	0,99 GByte/s	PC133	Intel, JEDEC	133 MHz/7,5 ns	3 T = 22,5 ns	3 T = 22,5 ns	6 T = 45 ns	9 T = 67,5 ns
PC133-222	2000	1,066 GByte/s	0,99 GByte/s	PC133	Intel, JEDEC	133 MHz/7,5 ns	2 T = 15 ns	2 T = 15 ns	6 T = 45 ns	8 T = 60 ns
'PC150'	2000	1,2 GByte/s	1,12 GByte/s	k. A.	-	150 MHz/6,67 ns	3 T = 20 ns	3 T = 20 ns	7 T = 47 ns	9 T = 60 ns
'PC166'	2000	1,33 GByte/s	1,24 GByte/s	k. A.	-	166 MHz/6 ns	3 T = 18 ns	3 T = 18 ns	8 T = 48 ns	10 T = 60 ns
PC1600-2022	2000	1,6 GByte/s	1,49 GByte/s	DDR200	JEDEC	100 MHz/10 ns	2 T = 20 ns	2 T = 20 ns	5 T = 50 ns	7 T = 70 ns
PC2100-2533	2000	2,13 GByte/s	1,99 GByte/s	DDR266B	JEDEC	133 MHz/7,5 ns	2,5 T = 18,75 ns	3 T = 22,5 ns	6 T = 45 ns	9 T = 67,5 ns
PC2100-2033	2001	2,13 GByte/s	1,99 GByte/s	DDR266A	JEDEC	133 MHz/7,5 ns	2 T = 15 ns	3 T = 22,5 ns	6 T = 45 ns	9 T = 67,5 ns
PC2100-2022	2002	2,13 GByte/s	1,99 GByte/s	DDR266	JEDEC/Intel	133 MHz/7,5 ns	2 T = 15 ns	2 T = 15 ns	6 T = 45 ns	8 T = 60 ns
PC2700-2533	2001	2,67 GByte/s	2,48 GByte/s	DDR333	JEDEC1	166 MHz/6 ns	2,5 T = 15 ns	3 T = 18 ns	7 T = 42 ns	10 T = 60 ns
PC3200 [DDR I]	2002	3,2 GByte/s	2,98 GByte/s	DDR400	Micron, SiS	200 MHz/5 ns	3 T = 15 ns	4 T = 20 ns	8 T = 40 ns	12 T = 60 ns
PC3200 [DDR II]	2003	3,2 GByte/s	2,98 GByte/s	DDR400	JEDEC1	200 MHz/5 ns	3 T = 15 ns	k. A.	k. A.	k. A.
PC4300 [DDR II]	2003	4,2 GByte/s	3,92 GByte/s	DDR533	JEDEC1	266 MHz/3,8 ns	k. A.	k. A.	k. A.	k. A.
PC5300 [DDR III]	2004	5,33 GByte/s	4,97 GByte/s	DDR600	JEDEC1	333 MHz/3 ns	k. A.	k. A.	k. A.	k. A.
PC6400 [DDR III]	2004	6,4 GByte/s	5,96 GByte/s	DDR800	JEDEC1	400 MHz/2,5 ns	k. A.	k. A.	k. A.	k. A.
PC600-45	1999	1,2 GByte/s	1,12 GByte/s	-	Rambus	300 MHz/3,33 ns	7 ... 11 T = 23,3 ... 33 ns ²	6 T = 20 ns	16 T = 53,28 ns	22 T = 73,3 ns
PC700-45	1999	1,43 GByte/s	1,33 GByte/s	-	Rambus	356 MHz/2,8 ns	8 ... 12 T = 22,4 ... 33,6 ns ²	7 T = 19,6 ns	20 T = 56 ns	28 T = 78,4 ns
PC800-45	1999	1,6 GByte/s	1,49 GByte/s	-	Rambus	400 MHz/2,5 ns	8 ... 12 T = 20 ... 30 ns ²	8 T = 20 ns	20 T = 50 ns	28 T = 70 ns
PC1066	2001	2,1 GByte/s	1,96 GByte/s	-	Rambus	533 MHz/1,9 ns	k. A.	k. A.	k. A.	k. A.
PC1200	2004	2,35 GByte/s	2,19 GByte/s	-	Rambus	600 MHz/1,7 ns	k. A.	k. A.	k. A.	k. A.
GBM400	2002	3,2 GByte/s	2,98 GByte/s	DDR200	Kentron	100 MHz/10 ns	2 T = 20 ns	2 T = 20 ns	5 T = 50 ns	7 T = 70 ns
GBM533	2002	4,2 GByte/s	3,92 GByte/s	DDR266	Kentron	133 MHz/7,5 ns	2 T = 15 ns	3 T = 22,5 ns	6 T = 45 ns	9 T = 67,5 ns
GBM600	2003	5,33 GByte/s	4,97 GByte/s	DDR333	Kentron	166 MHz/6 ns	3 T = 15 ns	k. A.	k. A.	k. A.
GBM800	2003	6,4 GByte/s	5,96 GByte/s	DDR400	Kentron	200 MHz/5 ns	k. A.	k. A.	k. A.	k. A.

¹ Für DDR333 und spätere Standards ist noch keine vollständige offizielle Spezifikation bekannt.

² Bei RDRAM hängt die Cl. entsprechende CAS-Access-Verzögerung t_{CAC} auch von der aktuellen Bestückung des Channels ab.

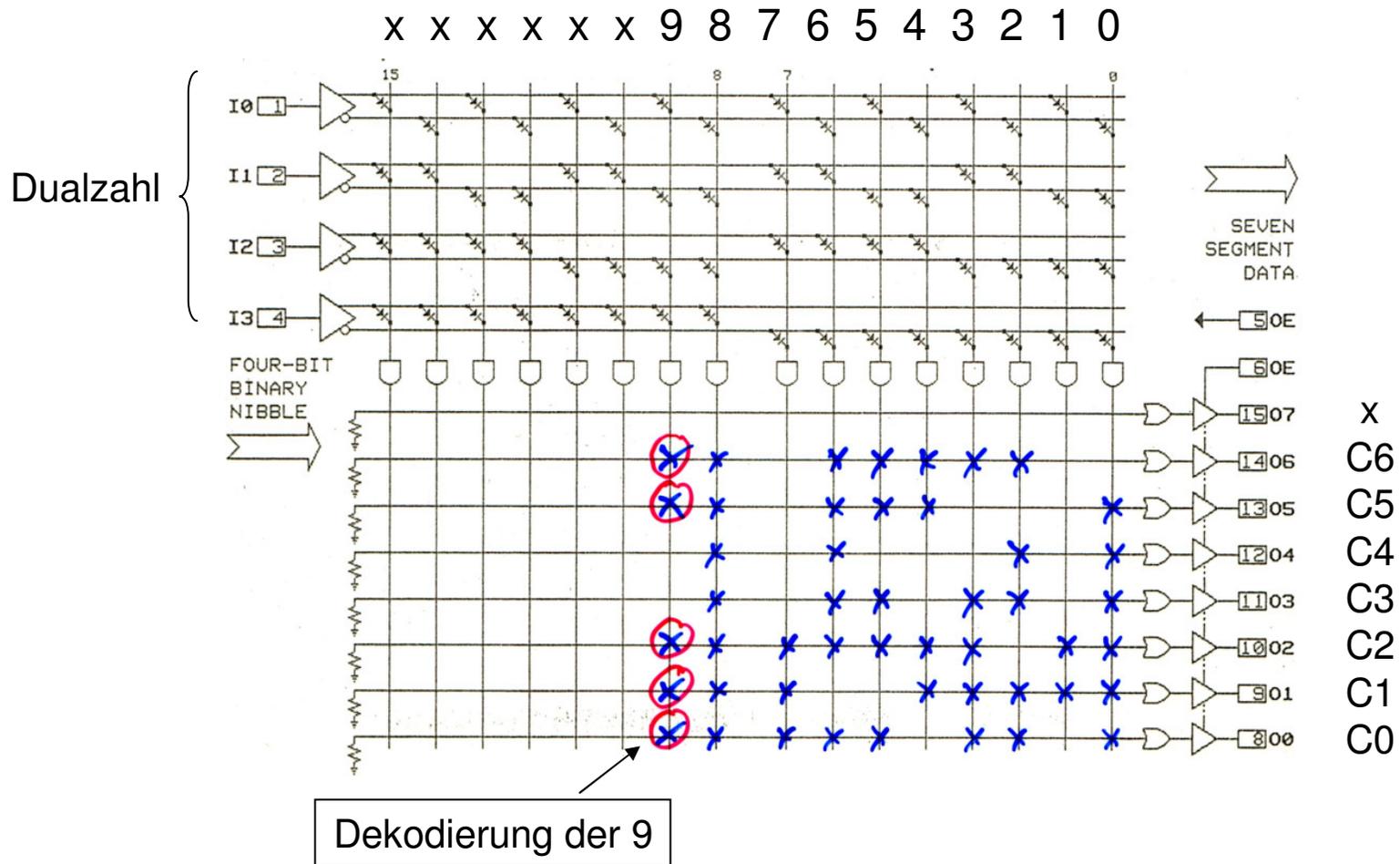
- nicht vorhanden k. A. keine Angabe

Dekoder für Siebensegment-Anzeige



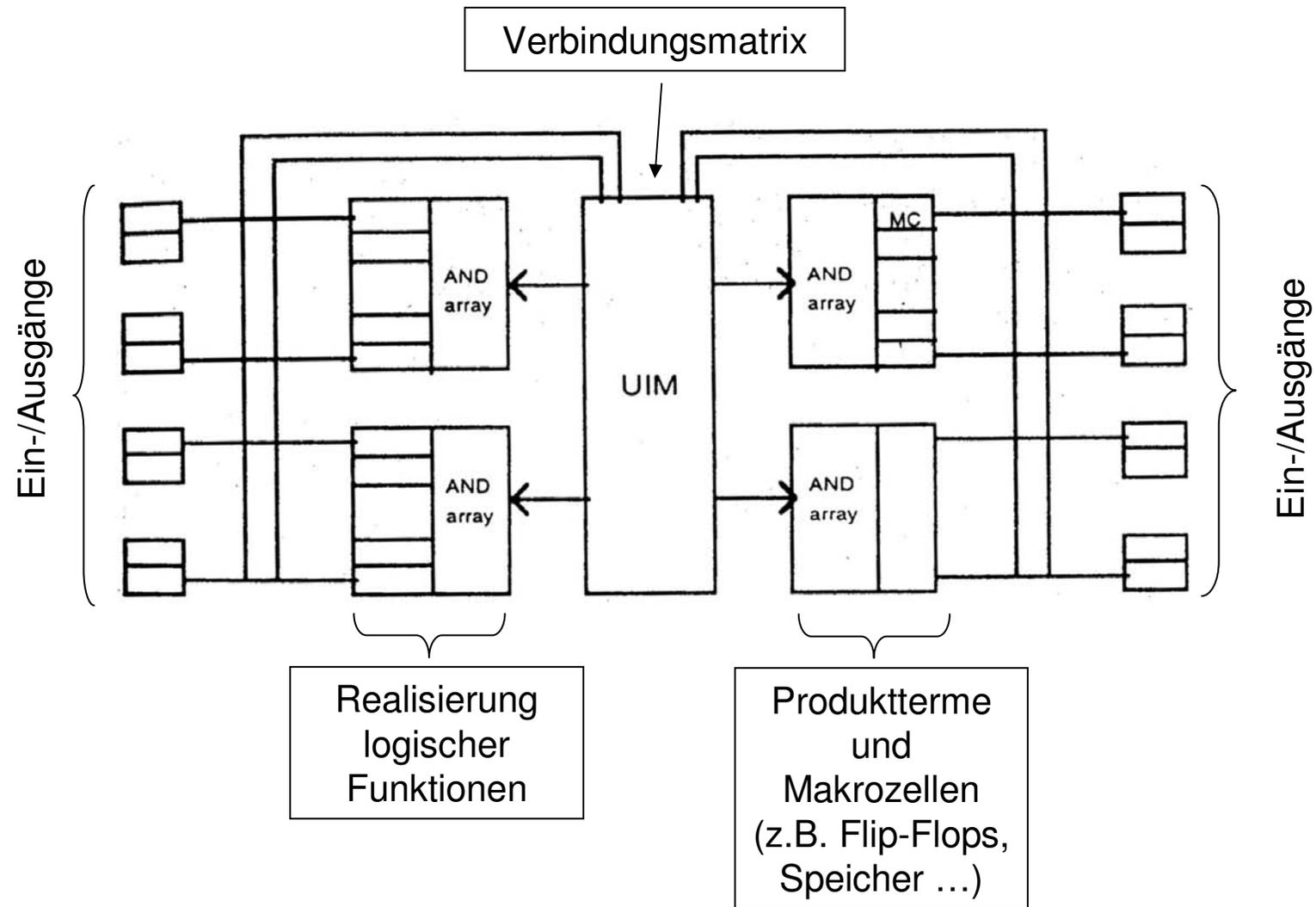
Dualwort				Segmentwerte						
A	B	C	D	C ₀	C ₁	C ₂	C ₃	C ₄	C ₅	C ₆
0	0	0	0	1	1	1	1	1	1	0
0	0	0	1	0	1	1	0	0	0	0
0	0	1	0	1	1	0	1	1	0	1
0	0	1	1	1	1	1	1	0	0	1
0	1	0	0	0	1	1	0	0	1	1
0	1	0	1	1	0	1	1	0	1	1
0	1	1	0	1	0	1	1	1	1	1
0	1	1	1	1	1	1	0	0	0	0
1	0	0	0	1	1	1	1	1	1	1
1	0	0	1	1	1	1	0	0	1	1
1	0	1	0	X	X	X	X	X	X	X
1	0	1	1	X	X	X	X	X	X	X
1	1	0	0	X	X	X	X	X	X	X
1	1	0	1	X	X	X	X	X	X	X
1	1	1	0	X	X	X	X	X	X	X
1	1	1	1	X	X	X	X	X	X	X

ROM als Dekoder für Siebensegment-Anzeige



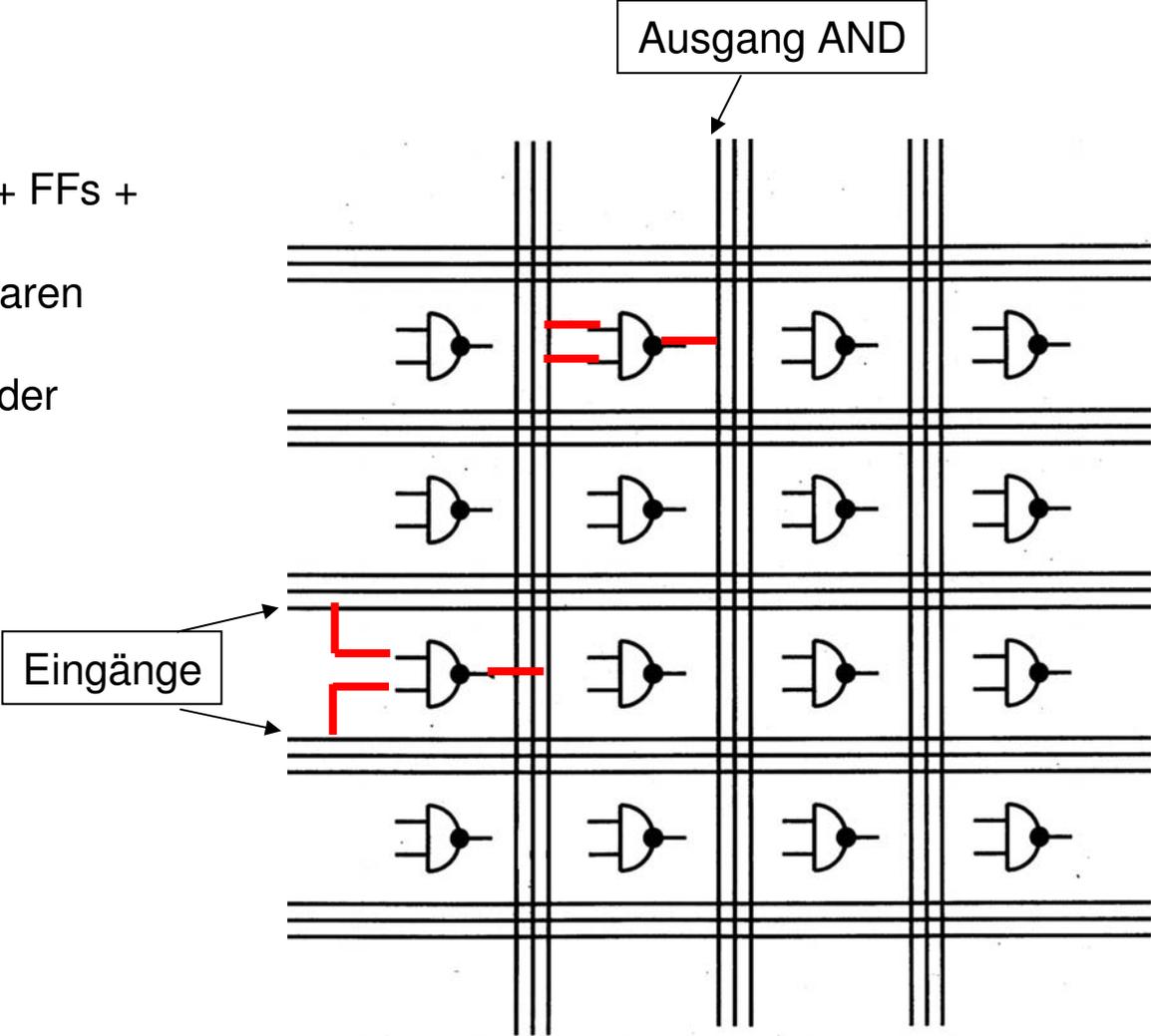
A	B	C	D	C0	C1	C2	C3	C4	C5	C6
1	0	0	1	1	1	1	0	0	1	1

Konzept von Complex-Programable-Logic Bausteinen (CPLD)

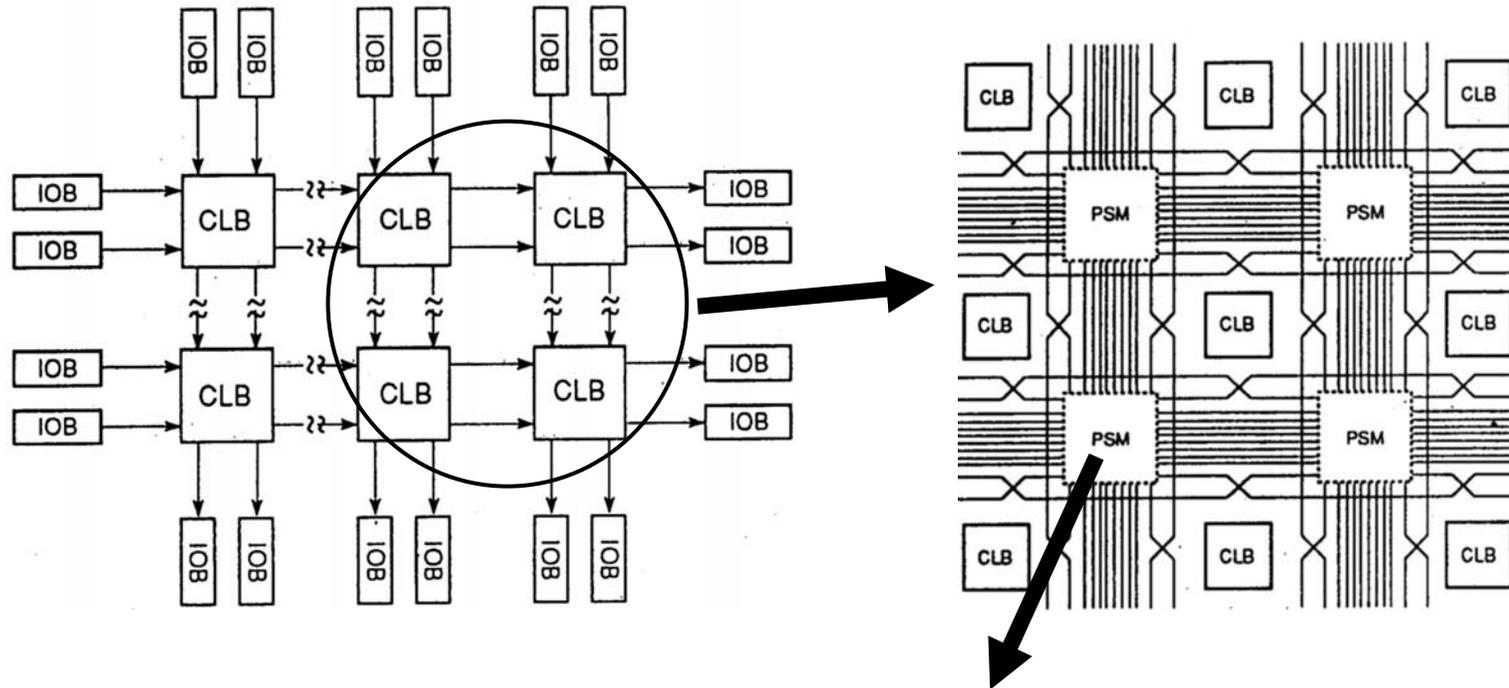


Konzept von Field-Programable-Gate-Array Bausteinen

- Matrix von Logikgattern + FFs + Speicher
- Gitter von programmierbaren Verbindungsleitungen
- Logik wird durch setzen der Verbindungen realisiert



FPGA Baustein



CLB: Complex Logic Block

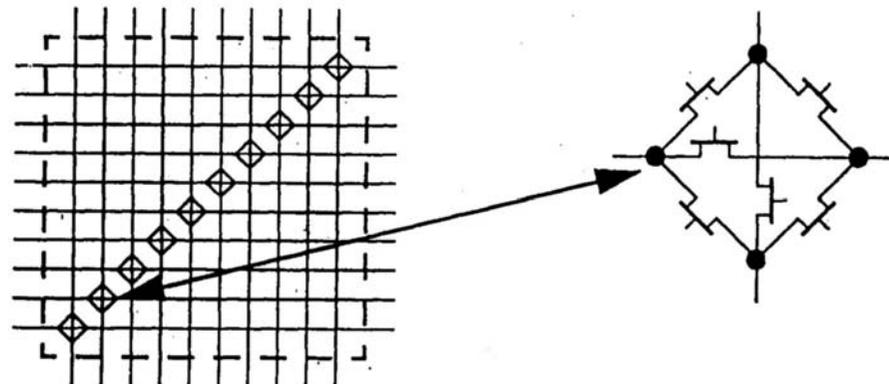
- Enthält Komponenten für logische Funktion, Flip-Flops, Speicher ...

IOB: Input/Output Block

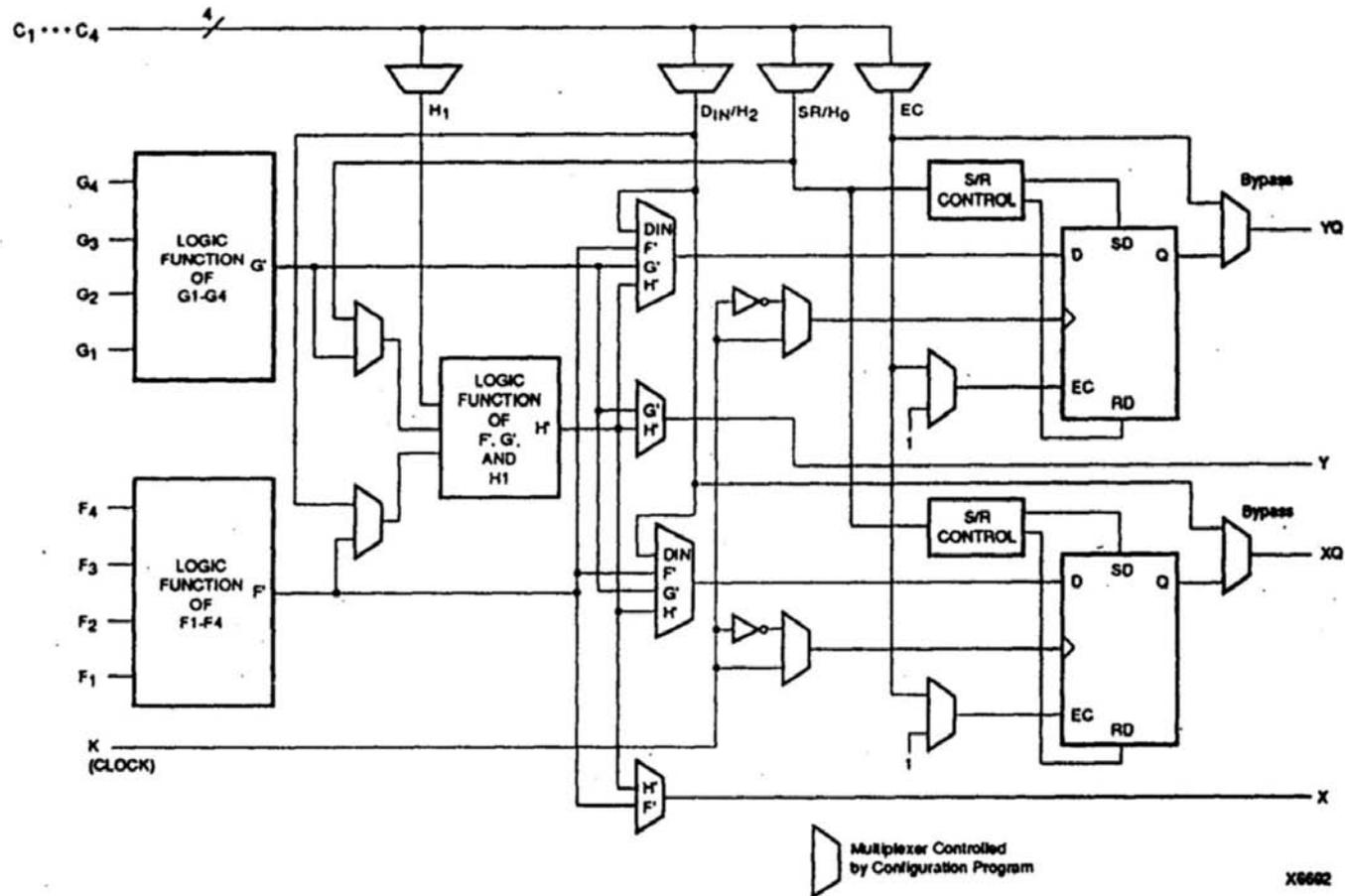
- Treiber für Signale, z.Teil Flip-Flops

Verbindungsleitungen

- Unterschiedliche Distanzen: nächster CLB, übernächster CLB etc.

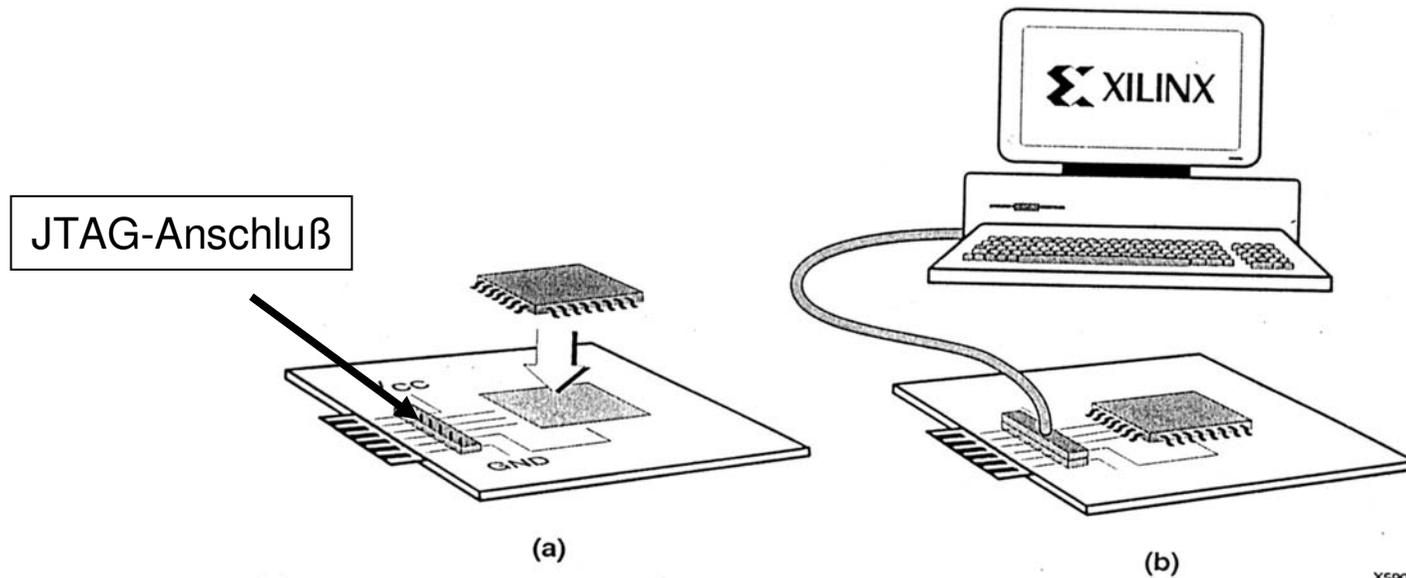


Beispiel eines Complex-Logic-Blocks CLB



“In-System” Programmierung

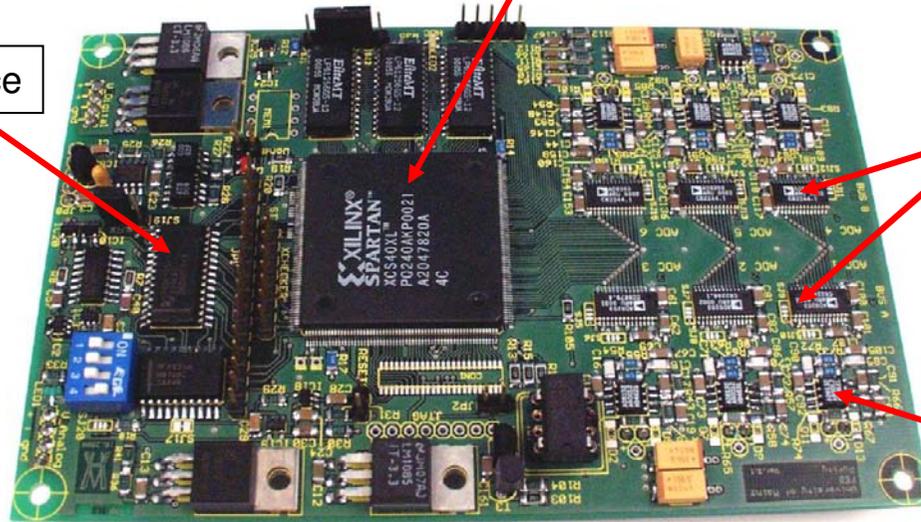
- Standardisiertes Protokoll und Anschluß
- JTAG (Joint-Test-Action-Group) Verbindung vom PC zur Platine
- Ermöglicht auch mehrere Bausteine hintereinander zu konfigurieren
- Ermöglicht bei CPLD Bausteinen spätere Aktualisierung
- FPGA müssen bei jedem Einschalten geladen werden, dies kann aber auch aus einem Speicherbaustein geschehen
- JTAG-Protokoll ermöglicht auch Fehlersuche



Moderne Messtechnik

Programmierbarer Logikbaustein
Xilinx
(ca. 500k Gatter)

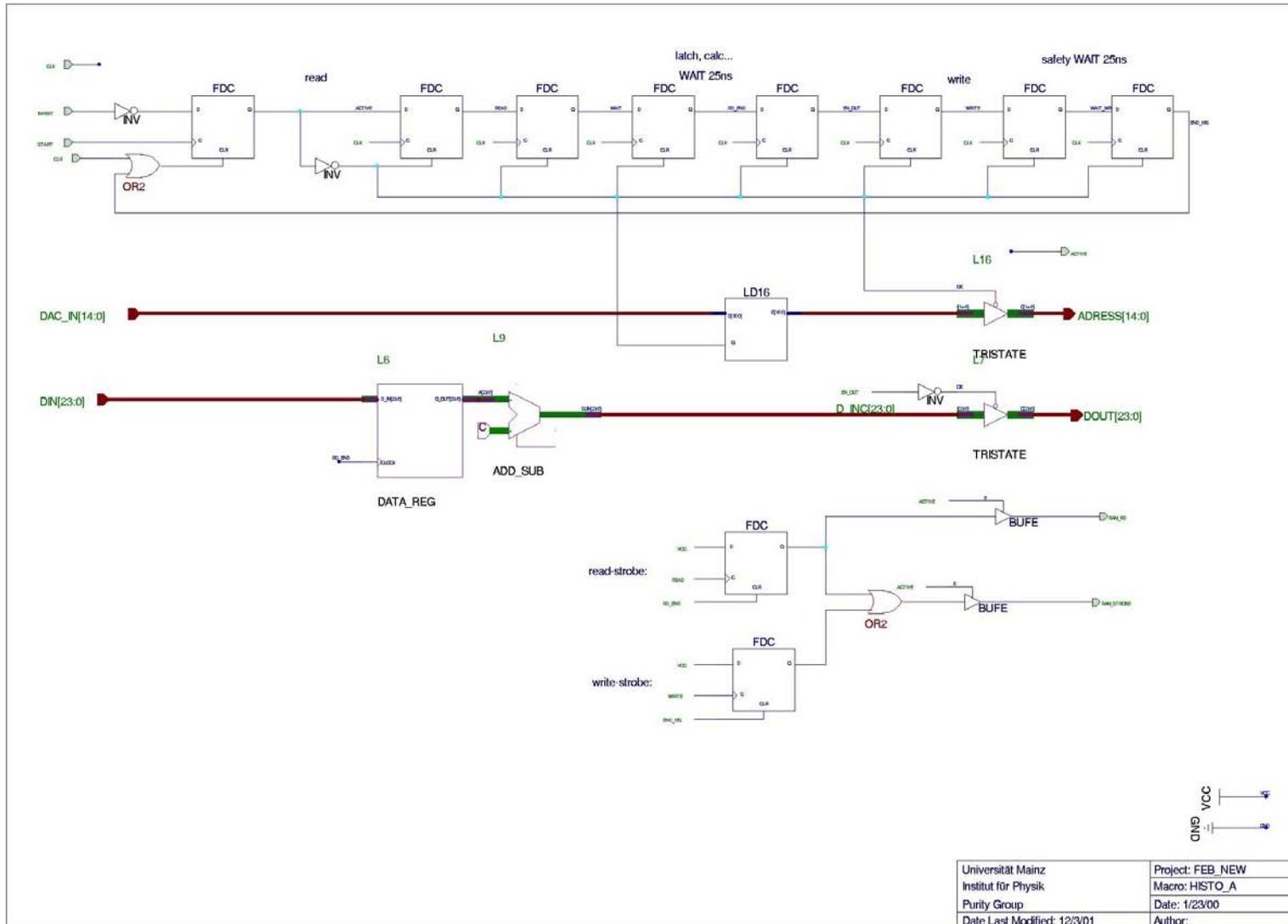
CAN-Bus Interface



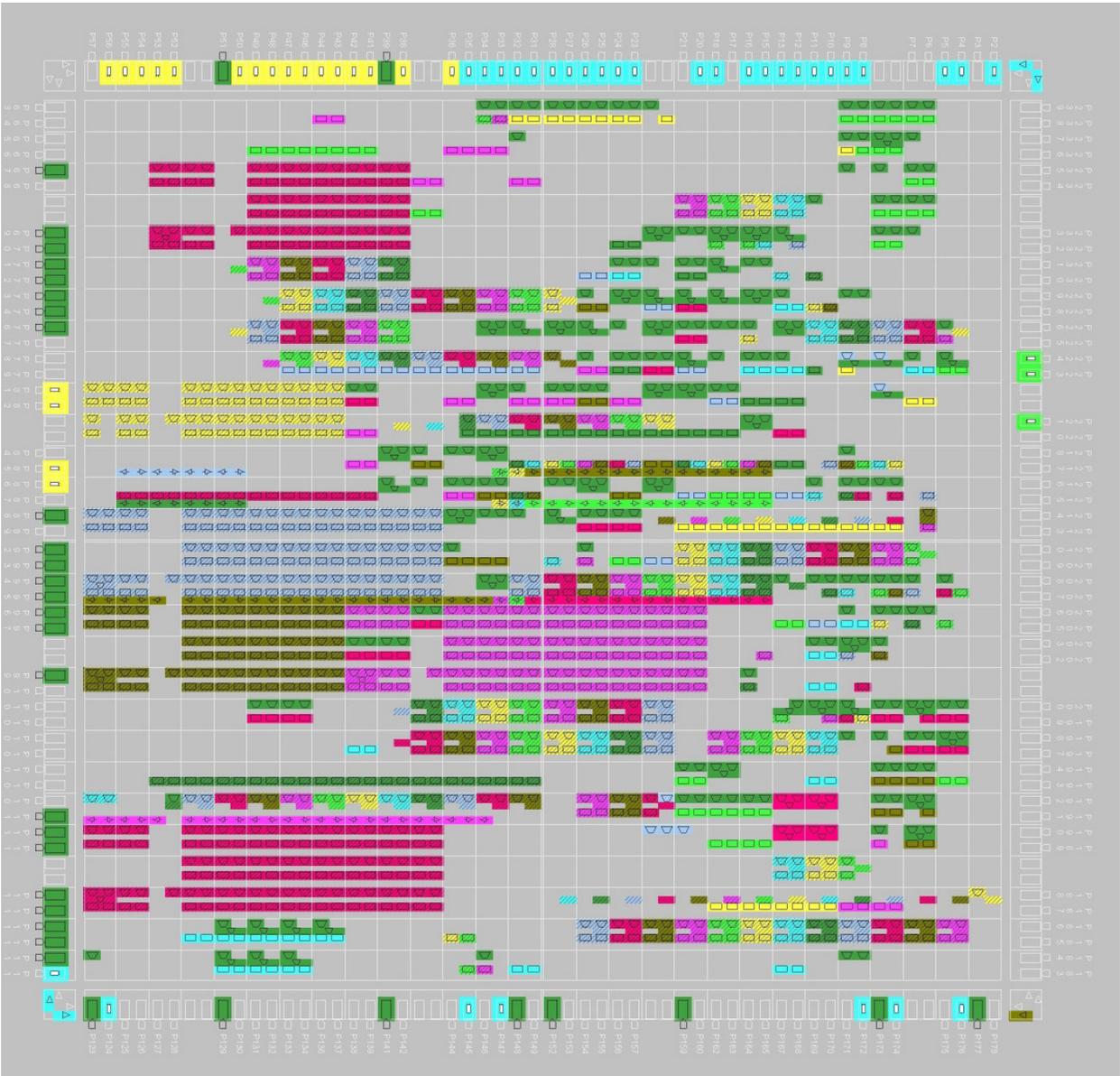
6 mal 40Ms ADC
Mit differentieller Eingang

Differentieller Empfänger

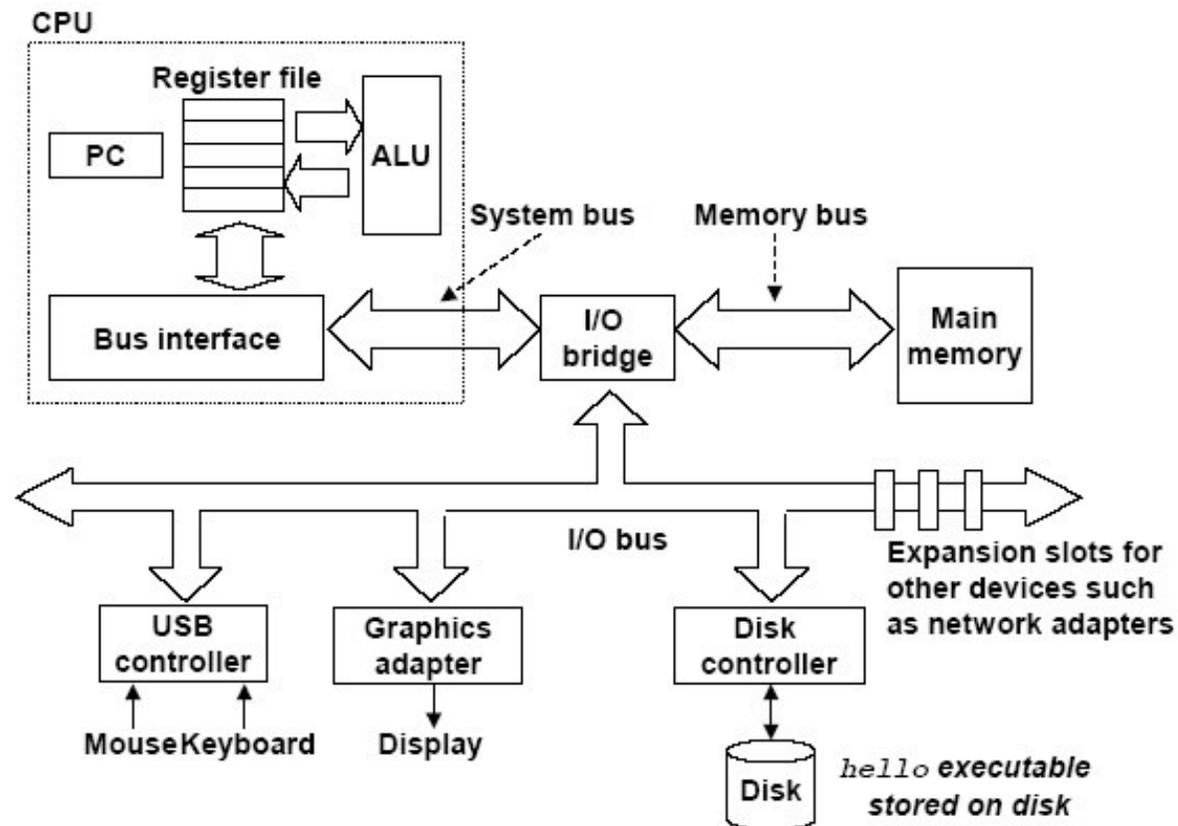
Schaltungsentwurf (schematisch) am Rechner für FPGA



„Floor-Plan“ eines FPGA



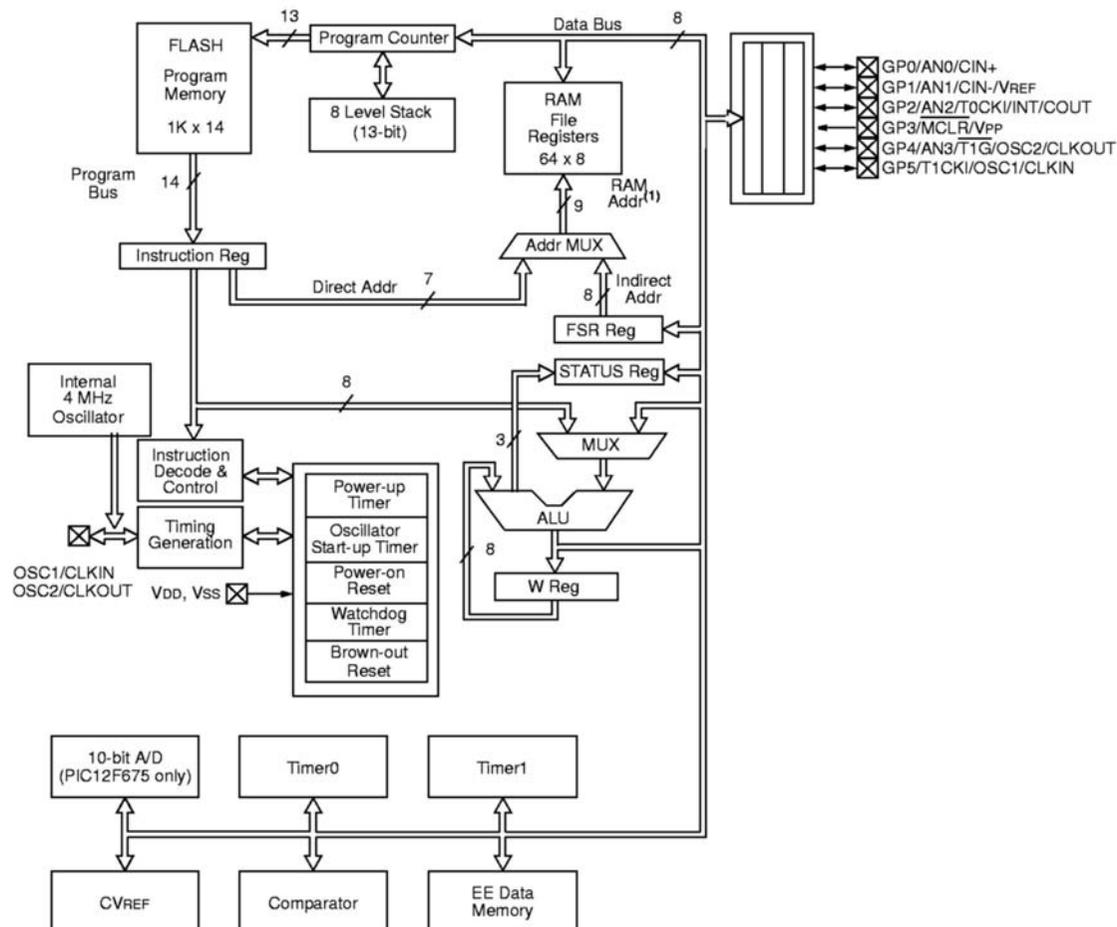
Konzept eines Computers: *von Neumann Maschine*



Innenleben eines Mikrocontrollers

- Mikroprozessor
- Speicher – Programmspeicher (meist Flash) + RAM
- Ein-Ausgänge: digitale und Analog
- Zum Teil auch Schnittstellen (RS-232, USB etc.)
- ➔ Mikrocontroller enthalten alle benötigten Komponenten und brauchen (fast) keine externe Beschaltung

Beispiel: PIC 12F675



Analog-Digital (ADC) und Digital-Analog-Wandlung (DAC)

DAC: Daten liegen z.B. als Folge von Dualzahlen vor und sollen als analoges Signal ausgegeben werden z.B. Musik von der CD (16Bit Daten mit 44.1kHz Rate)

ADC: Ein analoges Signal wird in eine Folge von Dualzahlen gewandelt

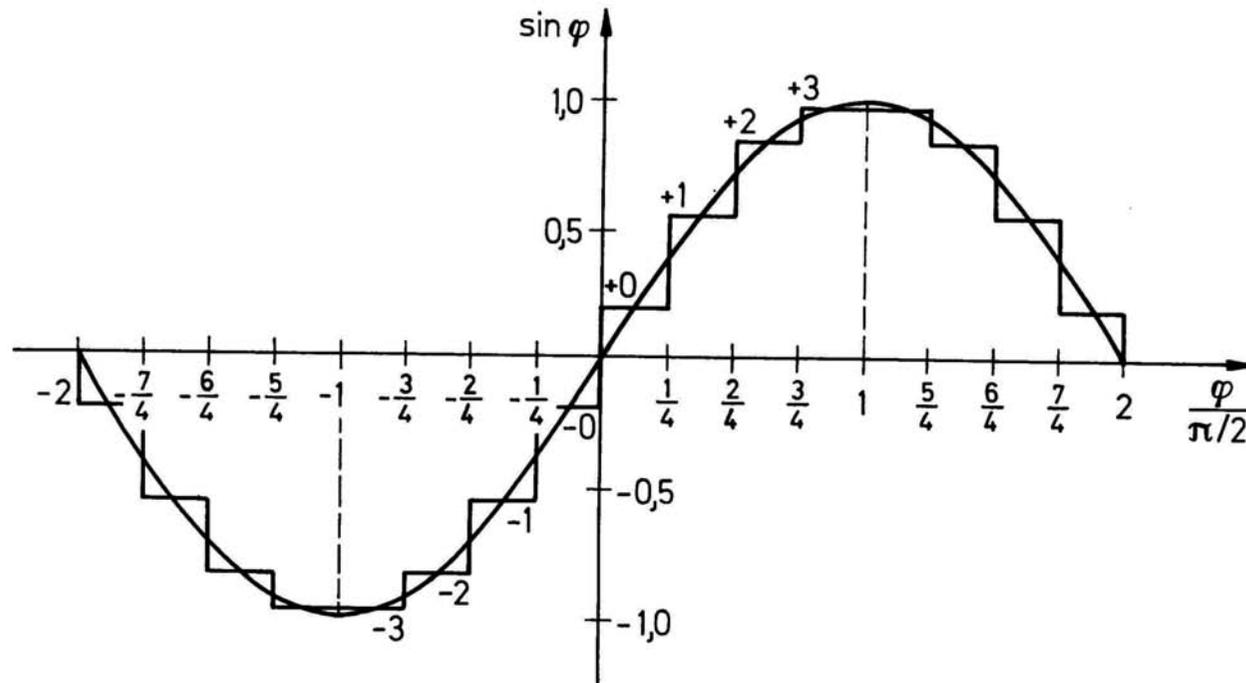


Abb. 24.17 Approximation einer Sinusschwingung mit 16 Stufen

Digital-Analog-Umsetzung mit gewichteten Strömen

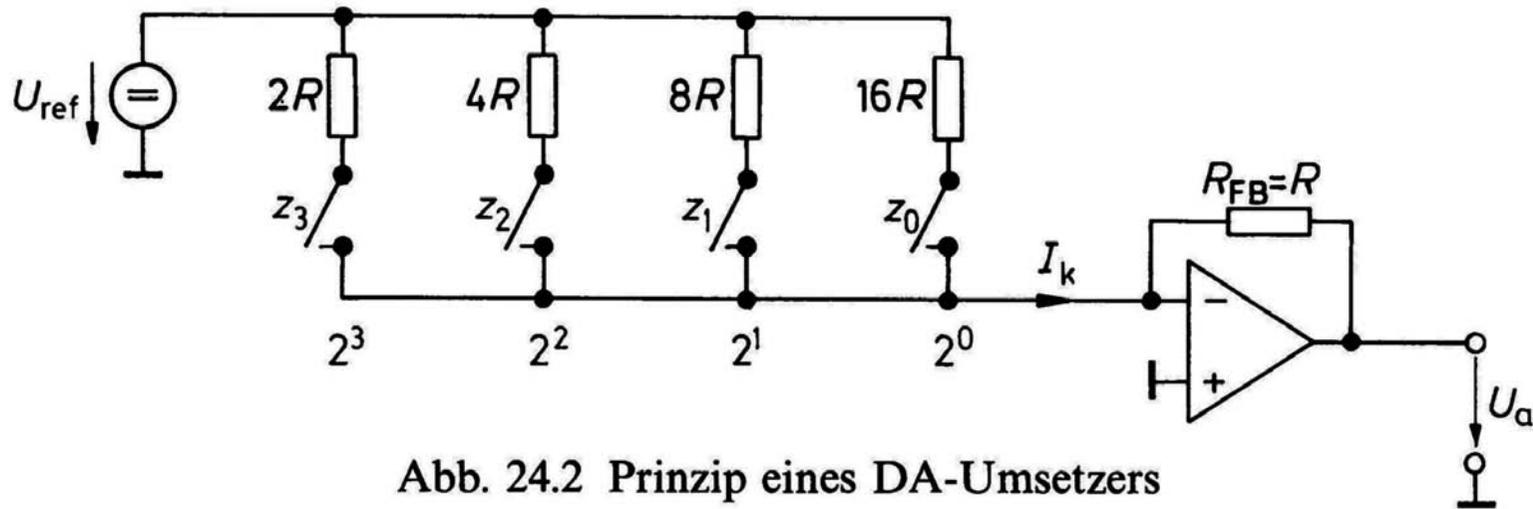
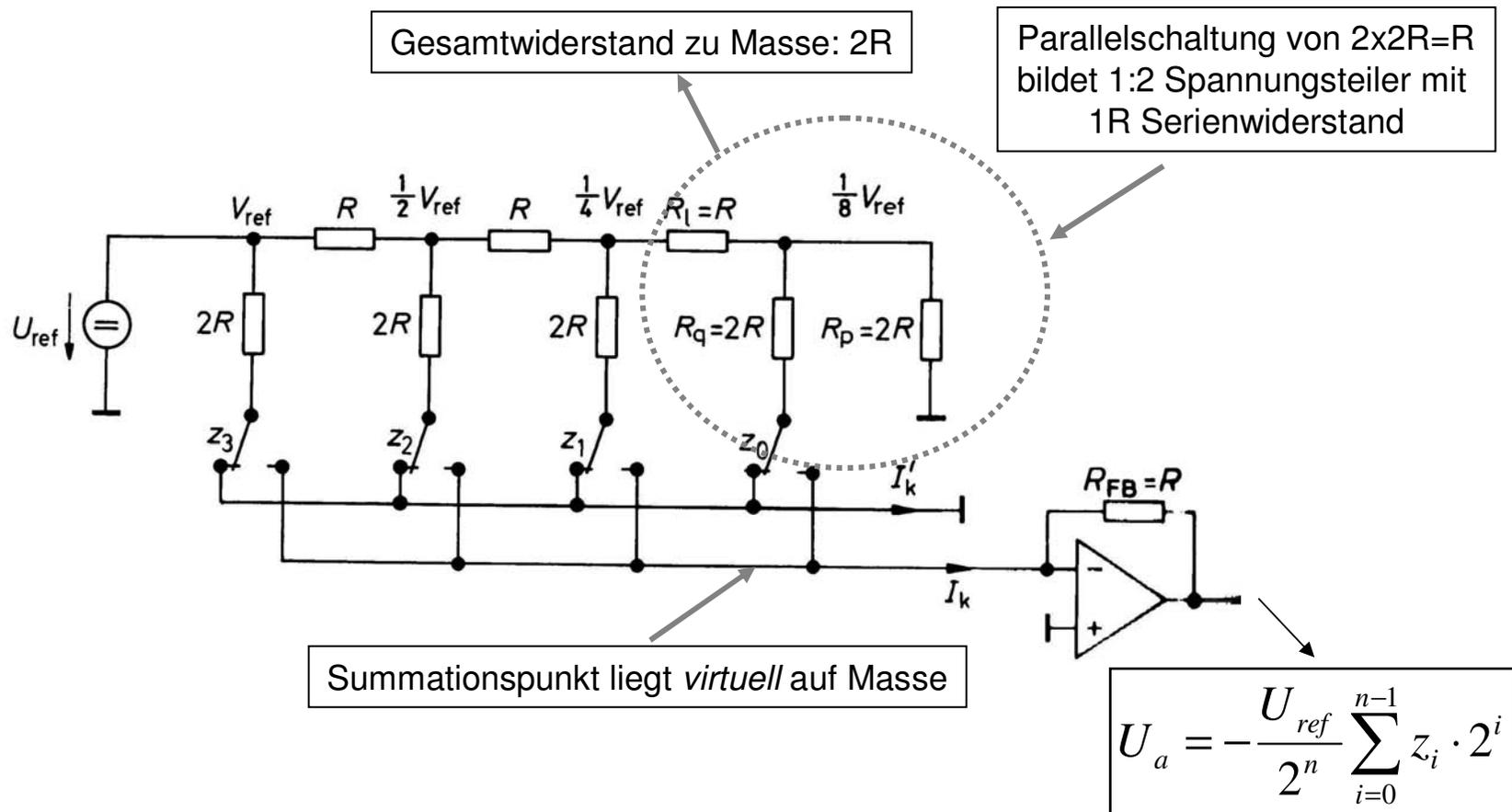


Abb. 24.2 Prinzip eines DA-Umsetzers

$$U_a = -\frac{U_{ref}}{16} \sum_{i=0}^{n-1} z_i \cdot 2^i$$

$$I_k = \frac{U_a}{R} = \frac{U_{ref}}{R} \cdot \frac{Z}{16}$$

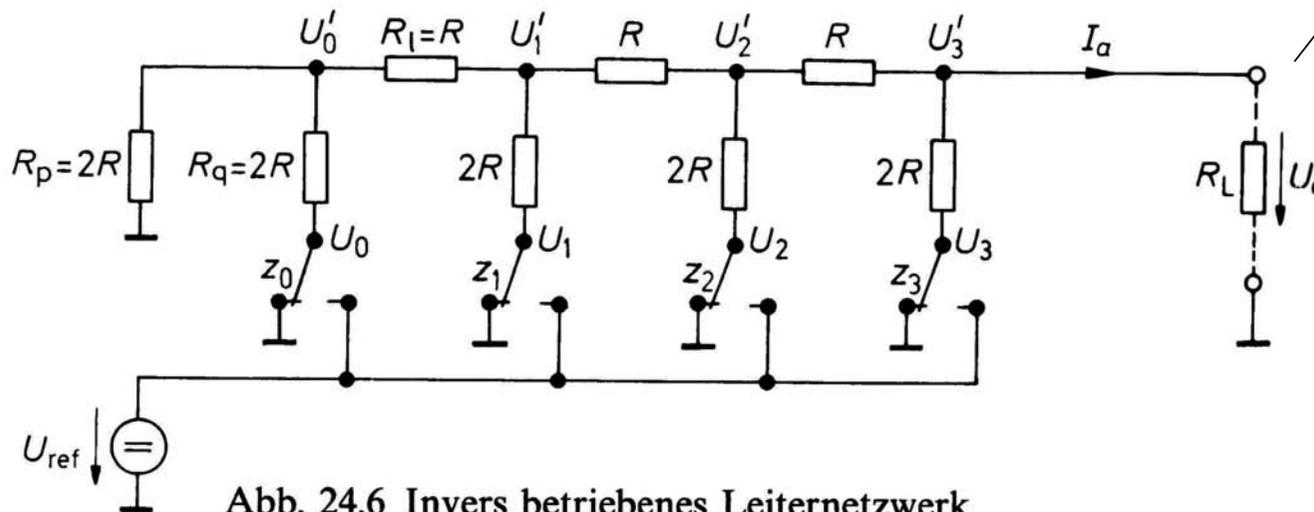
Digital-Analog-Umsetzung mit R-2R Leiternetzwerk



Inverses R-2R Leiternetzwerk

- Kein OP zur Summation notwendig
- Verwende Logikpegel als Referenzspannung (zwar nicht sehr genau, reicht aber oft aus!)

$$U_a = \frac{U_{ref}}{2^n} \cdot \frac{R_L}{R_L + R} \sum_{i=0}^{n-1} z_i \cdot 2^i$$



Genauigkeitsangaben von DACs

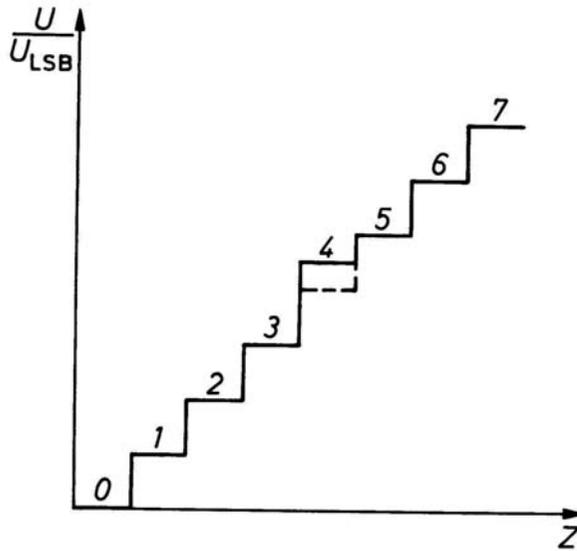


Abb. 24.20 DA-Umsetzer mit einer Nichtlinearität von $\pm \frac{1}{2}$ LSB

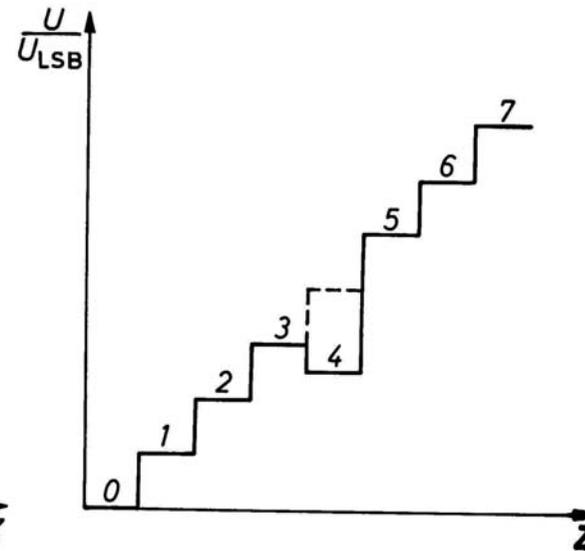


Abb. 24.21 DA-Umsetzer mit einer Nichtlinearität von $\pm 1 \frac{1}{2}$ LSB und damit verbundenem Monotoniefehler

Analog-Digital-Wandlung

Vergleich der Verfahren (etwas veraltet!)

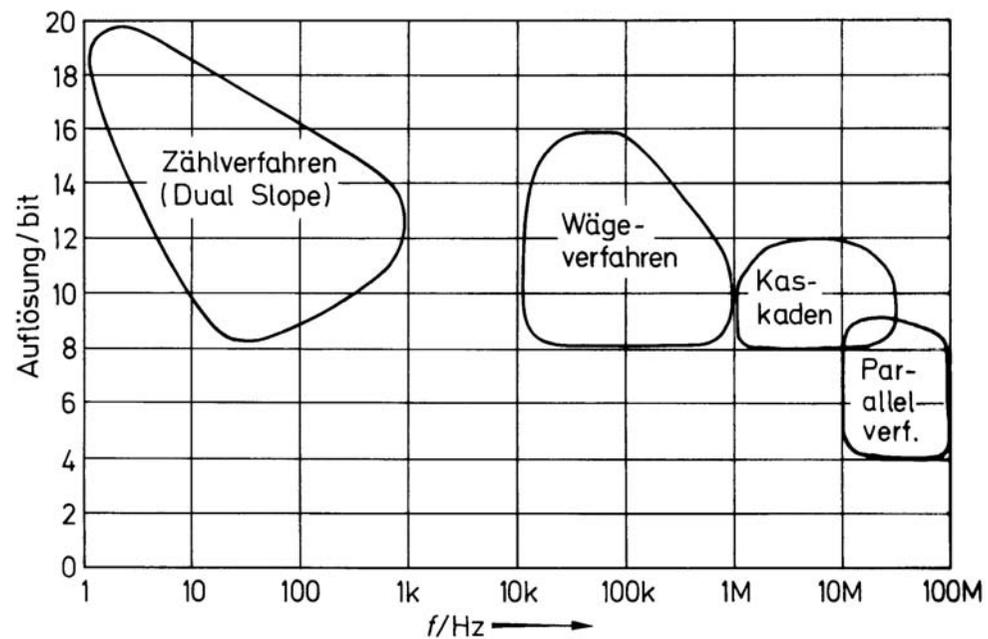
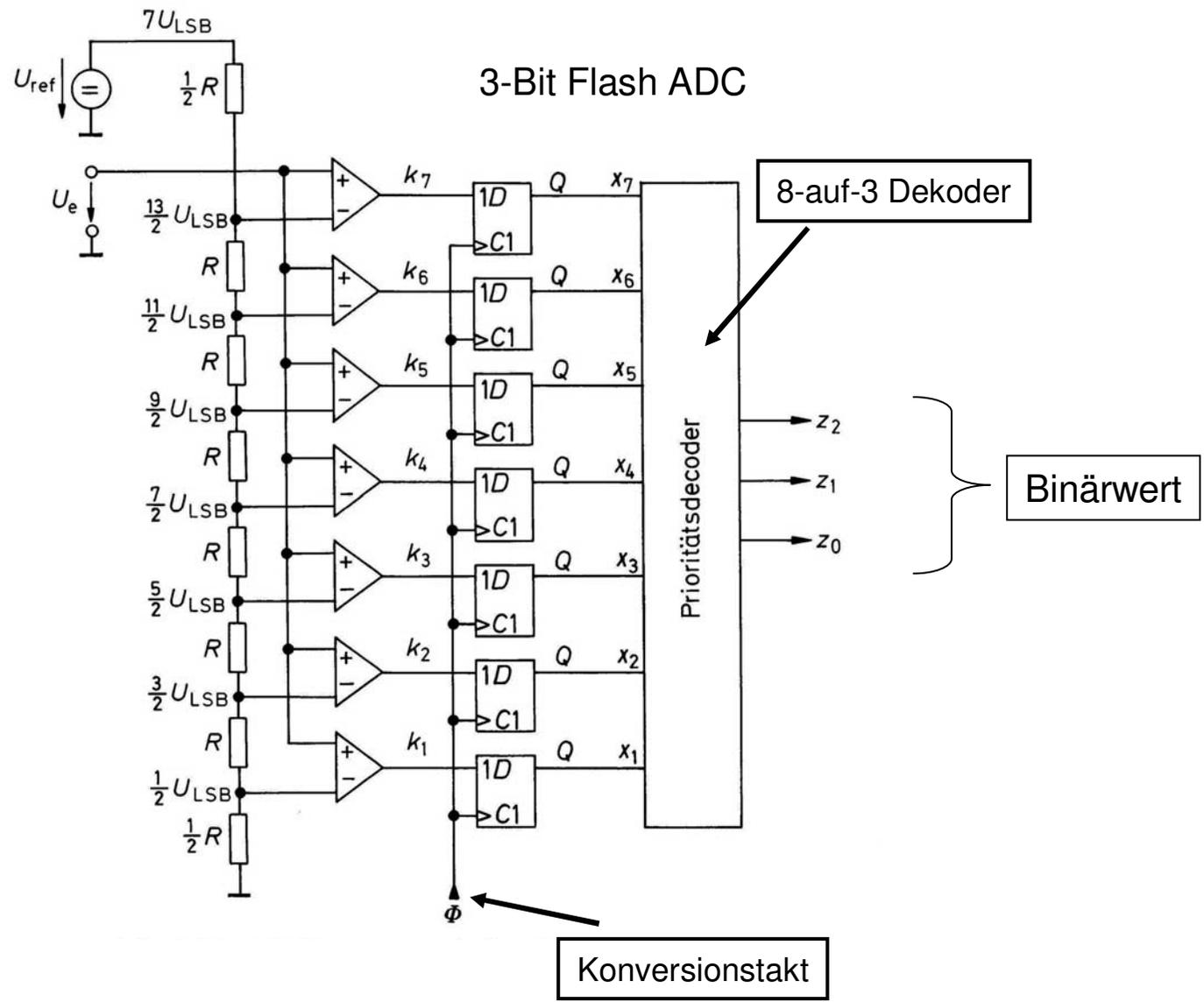
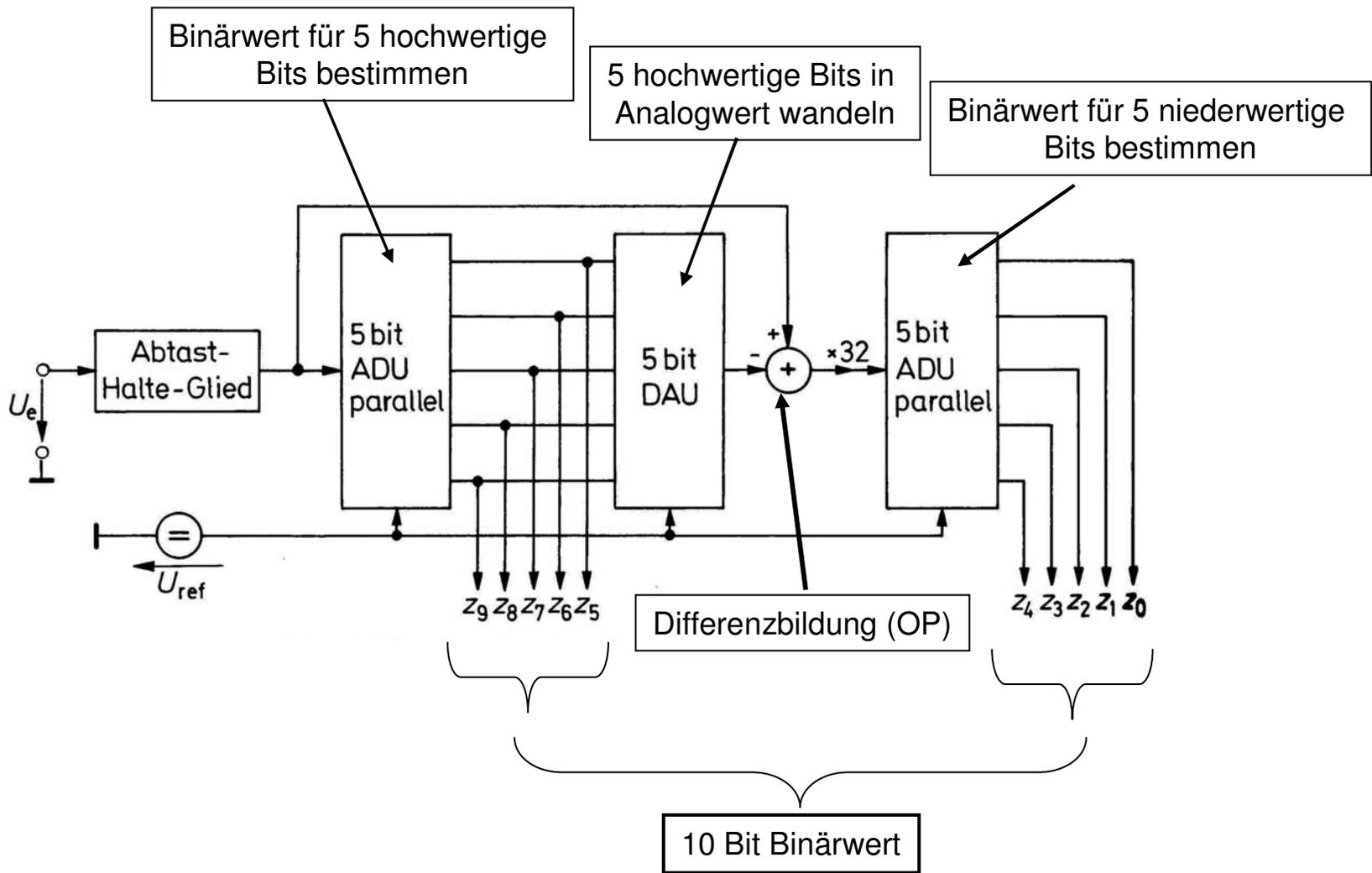


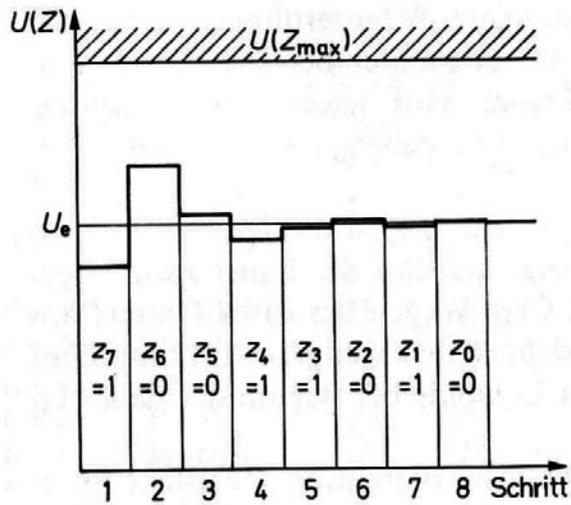
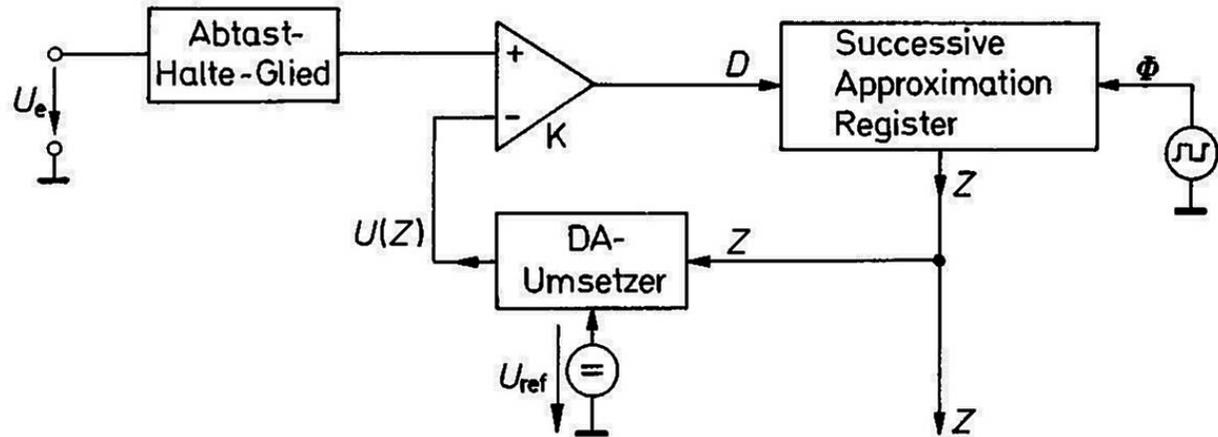
Abb. 24.25 Umsetzfrequenzen und Auflösung von AD-Umsetzern

Analog-Digital-Wandlung im Parallelverfahren





Analog-Digital-Wandlung im Wägeverfahren



	z_7	z_6	z_5	z_4	z_3	z_2	z_1	z_0
z_7	1							1
z_6		0						0
z_5			0					0
z_4				1				1
z_3					1			1
z_2						0		0
z_1							1	1
z_0								0

Konversionszeit für n-Bits:
 $n \cdot T$
 Wobei T die Periode des Takts ist

Statische Fehler von ADCs

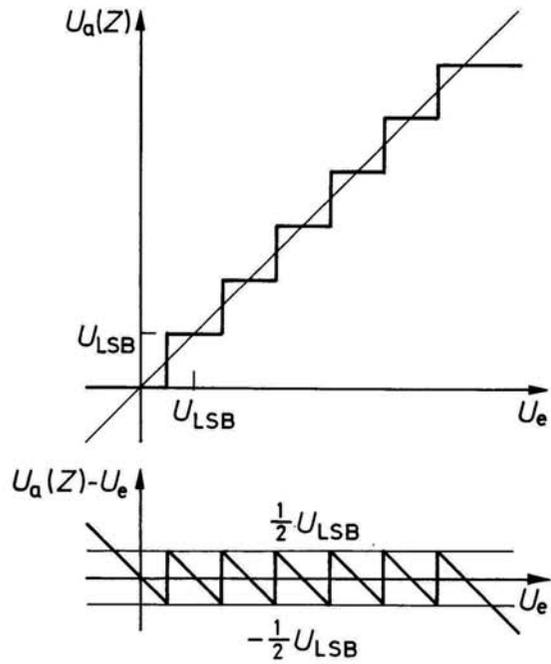


Abb. 24.26 Zustandekommen des Quantisierungsrausches. Die Spannung $U_a(Z)$ ergibt sich durch DA-Umsetzung der Zahl Z , die am Ausgang des AD-Umsetzers auftritt

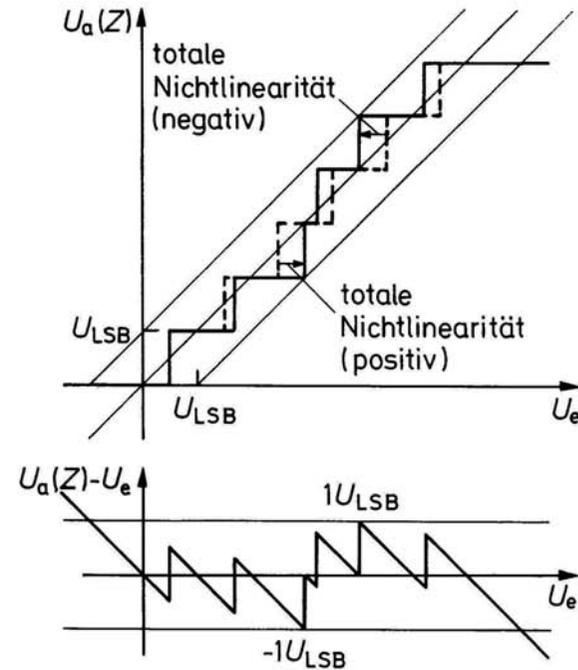
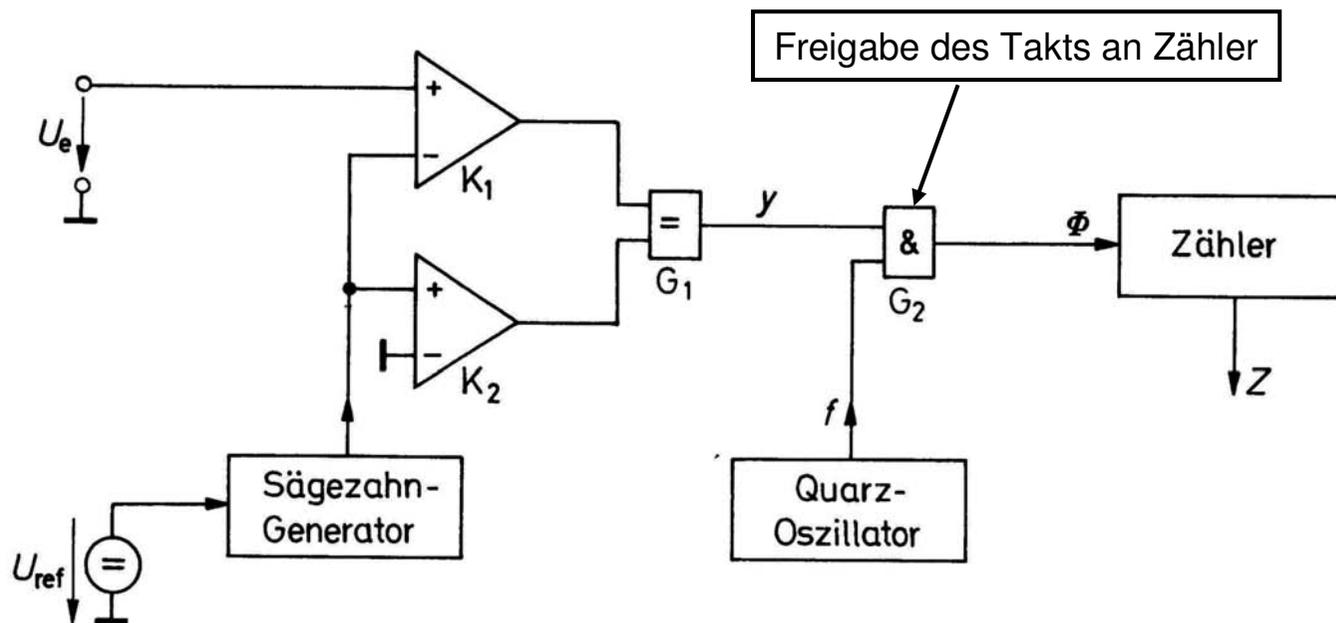
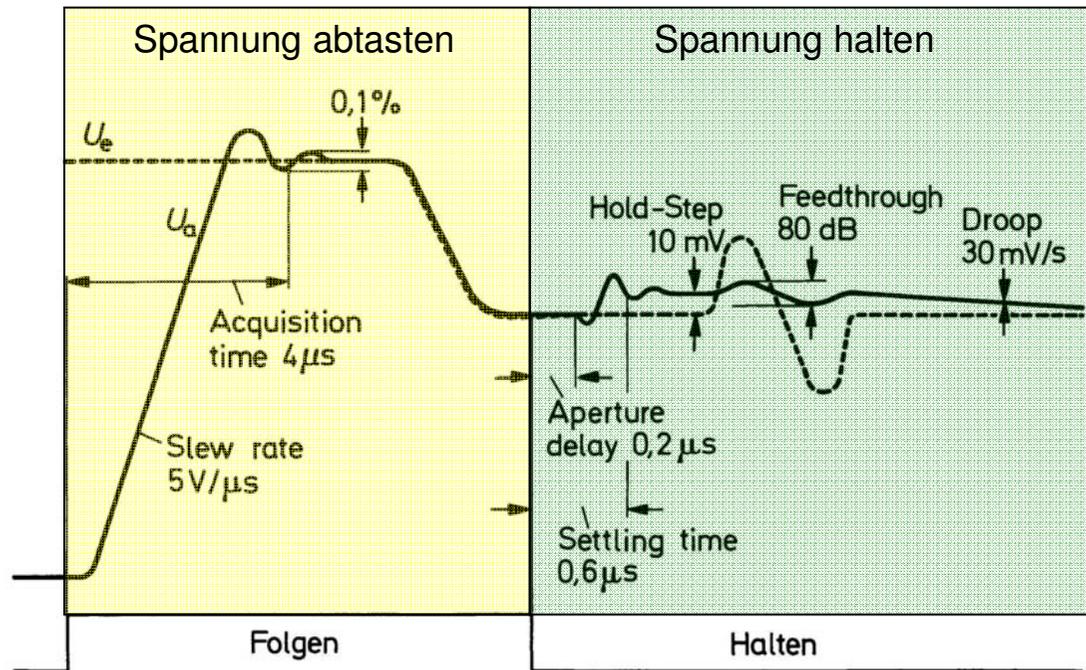
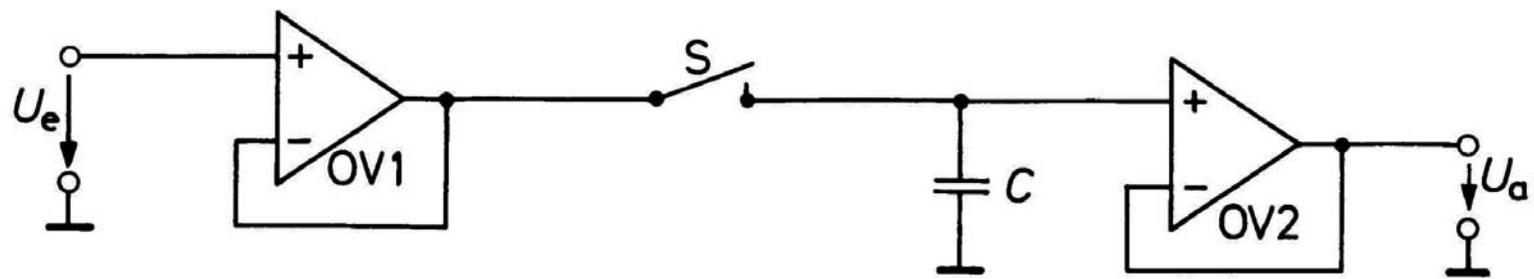


Abb. 24.27 Übertragungsverhalten eines AD-Umsetzers mit Linearitätsfehler

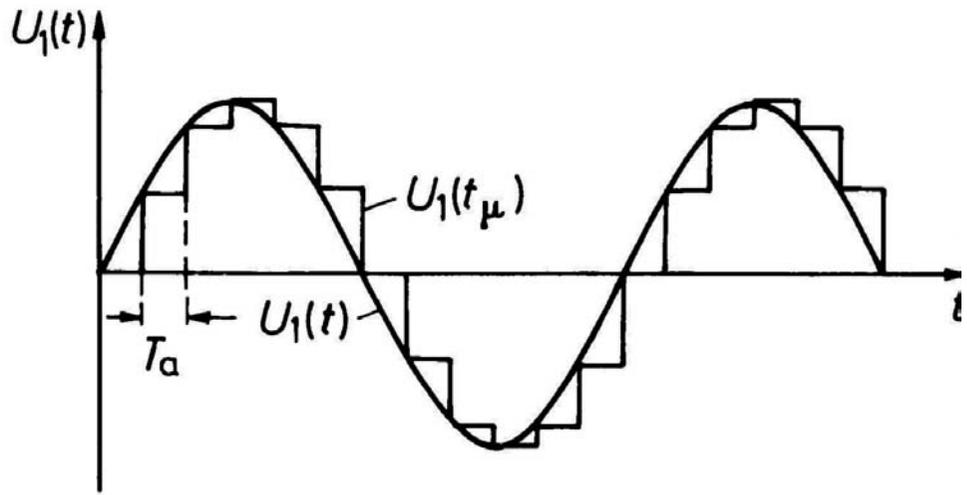
Analog-Digital-Wandlung im Zählverfahren



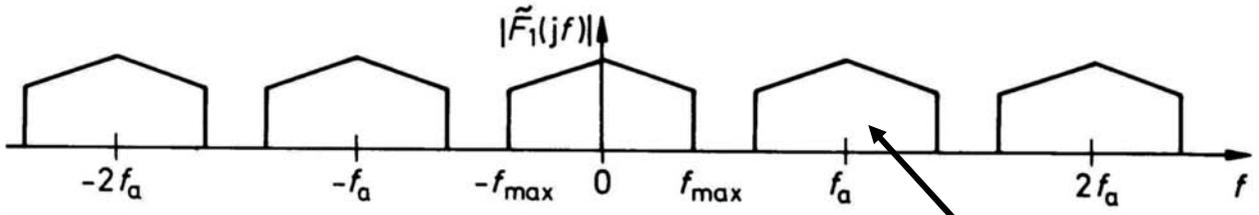
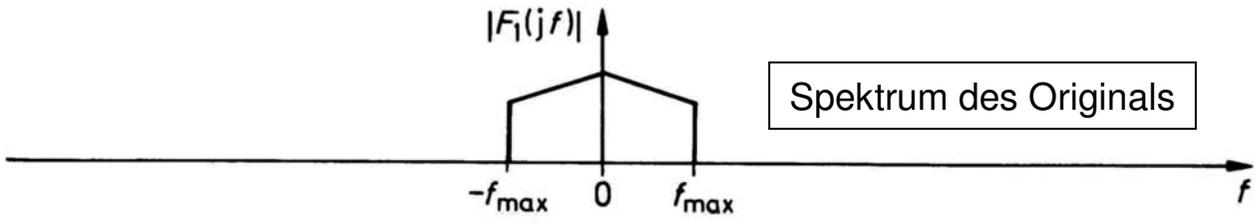
Abtast-Halteglied



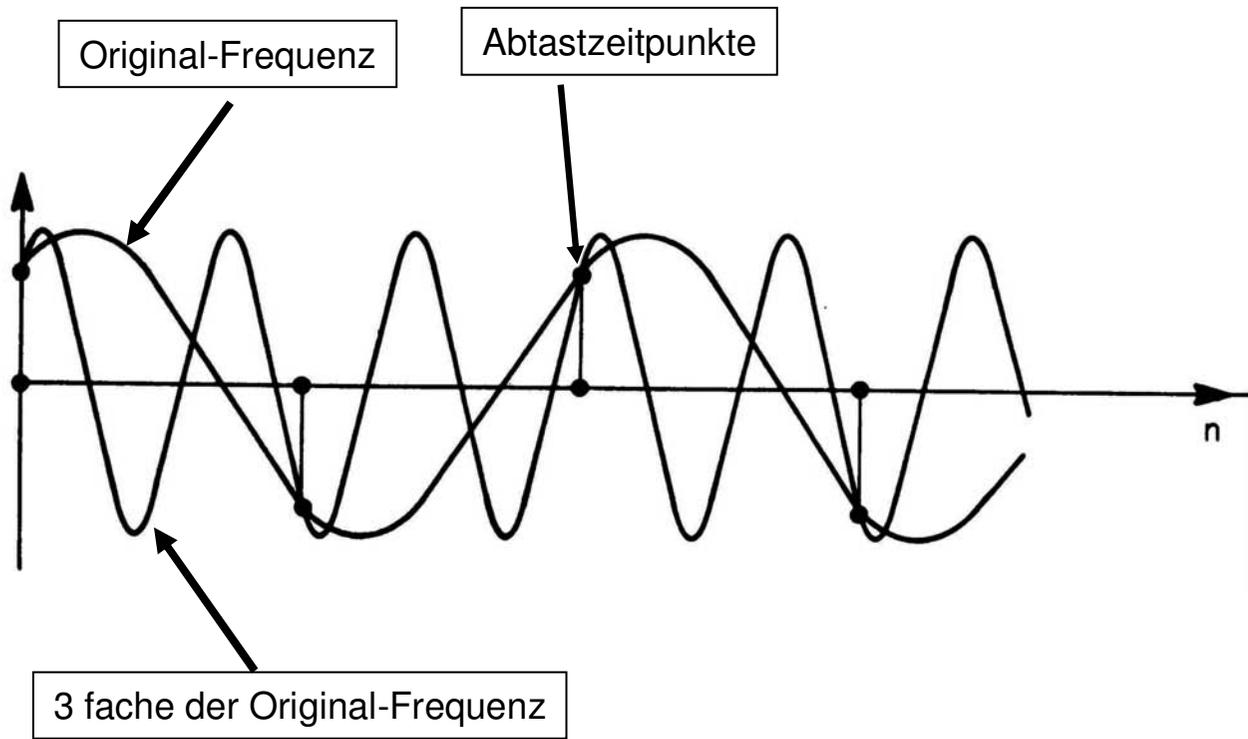
Abtasttheorem



↓ Frequenzspektrum
(Fourier-Transformation)



Aliasing



MPEG-1 Layer 3 (MP3) Qualität

sound quality	bandwidth	mode	bitrate	reduction ratio
telephone sound	2.5 kHz	mono	8 kbps *	96:01:00
better than short-wave	4.5 kHz	mono	16 kbps	48:01:00
better than AM radio	7.5 kHz	mono	32 kbps	24:01:00
similar to FM radio	11 kHz	stereo	56...64 kbps	26...24:1
near-CD	15 kHz	stereo	96 kbps	16:01
CD	>15 kHz	stereo	112..128kbps	14..12:1